

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC  
61188-1-2**

Première édition  
First edition  
1998-04

**Cartes imprimées et cartes imprimées équipées –  
Conception et utilisation –**

**Partie 1-2:  
Prescriptions génériques –  
Impédance contrôlée**

**Printed boards and printed board assemblies –  
Design and use –**

**Part 1-2:  
Generic requirements –  
Controlled impedance**

Numéro de référence  
Reference number  
CEI/IEC 61188-1-2:1998



## Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

## Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

## Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI\*
- Catalogue des publications de la CEI  
Publié annuellement et mis à jour régulièrement  
(Catalogue en ligne)\*
- Bulletin de la CEI  
Disponible à la fois au «site web» de la CEI\* et  
comme périodique imprimé

## Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International (IEV)*.

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

\* Voir adresse «site web» sur la page de titre.

## Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

## Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

## Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- IEC web site\*
- Catalogue of IEC publications  
Published yearly with regular updates  
(On-line catalogue)\*
- IEC Bulletin  
Available both at the IEC web site\* and as a printed periodical

## Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

\* See web site address on title page.

# NORME INTERNATIONALE INTERNATIONAL STANDARD

CEI  
IEC  
**61188-1-2**

Première édition  
First edition  
1998-04

**Cartes imprimées et cartes imprimées équipées –  
Conception et utilisation –**

**Partie 1-2:  
Prescriptions génériques –  
Impédance contrôlée**

**Printed boards and printed boards assemblies –  
Design and use –**

**Part 1-2:  
Generic requirements –  
Controlled impedance**

© IEC 1998 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission  
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland  
e-mail: [inmail@iec.ch](mailto:inmail@iec.ch)  
IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

CODE PRIX  
PRICE CODE



*Pour prix, voir catalogue en vigueur  
For price, see current catalogue*

## SOMMAIRE

	Pages
AVANT-PROPOS .....	4
INTRODUCTION .....	6
 Articles	
1 Domaine d'application .....	8
2 Références normatives .....	8
3 Vue d'ensemble de la conception technique .....	8
3.1 Sélection du dispositif .....	8
3.2 Intraconnexion .....	10
3.3 Cartes imprimées et cartes imprimées équipées .....	12
3.4 Prescriptions de performance .....	16
3.5 Répartition de la puissance .....	36
4 Conception des circuits d'impédance contrôlée .....	38
4.1 Configurations .....	38
4.2 Equations .....	40
4.3 Règles de conception d'impédance contrôlée .....	46
4.4 Règles de diaphonie .....	48
4.5 Règles de conception de coupon .....	50
4.6 Règles relatives au découplage/condensateur .....	54
5 Conception relative à la fabrication .....	58
5.1 Règles de processus en CAO (conception assistée par ordinateur) .....	58
5.2 Complexité de la conception et corrélation avec le coût .....	58
6 Description des données .....	58
6.1 Détails de construction .....	60
6.2 Isolation des données par classe de filet (bruit, cadencement, capacité et impédance) .....	60
6.3 Performances électriques .....	62
7 Matériaux .....	62
7.1 Systèmes résineux .....	62
7.2 Renforts .....	62
7.3 Feuilles préimprégnées, couches de liaison et adhésifs .....	64
7.4 Dépendance vis-à-vis de la fréquence .....	64
8 Fabrication .....	64
8.1 Généralités .....	64
8.2 Processus de préproduction .....	66
8.3 Processus de production .....	70
8.4 Impact des défauts à haute fréquence .....	74
8.5 Description de données .....	78
9 Essai de réflectométrie temporelle (TDR) .....	78
9.1 Justification .....	78
Annexe A – Unités, symboles et terminologie .....	82

## CONTENTS

	Page
FOREWORD .....	5
INTRODUCTION .....	7
Clause	
1 Scope .....	9
2 Normative references .....	9
3 Engineering design overview .....	9
3.1 Device selection .....	9
3.2 Intraconnection .....	11
3.3 Printed board and printed board assemblies .....	13
3.4 Performance requirements .....	17
3.5 Power distribution .....	37
4 Design of controlled impedance circuits .....	39
4.1 Configurations .....	39
4.2 Equations .....	41
4.3 Controlled impedance design rules .....	47
4.4 Cross-talk rules .....	49
4.5 Coupon design rules .....	51
4.6 Decoupling/capacitor rules .....	55
5 Design for manufacturing .....	59
5.1 Process rules in CAD .....	59
5.2 Design complexity and correlation to cost .....	59
6 Data description .....	59
6.1 Details of construction .....	61
6.2 Isolation of data by net class (noise, timing, capacitance and impedance) .....	61
6.3 Electrical performance .....	63
7 Material .....	63
7.1 Resin systems .....	63
7.2 Reinforcements .....	63
7.3 Prepregs, bonding layers and adhesives .....	65
7.4 Frequency dependence .....	65
8 Fabrication .....	65
8.1 General .....	65
8.2 Preproduction processes .....	67
8.3 Production processes .....	71
8.4 Impact of defects at high frequencies .....	75
8.5 Data description .....	79
9 Time domain reflectometry (TDR) testing .....	79
9.1 Rationale .....	79
Annex A – Units, symbols, and terminology .....	83

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES –  
CONCEPTION ET UTILISATION –****Partie 1-2: Prescriptions génériques –  
Impédance contrôlée****AVANT-PROPOS**

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61188-1-2 a été établie par le comité d'études 52 de la CEI: Circuits imprimés.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
52/758/FDIS	52/762/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

L'annexe A est donnée uniquement à titre d'information.

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –  
DESIGN AND USE –****Part 1-2: Generic requirements –  
Controlled impedance****FOREWORD**

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-1-2 has been prepared by IEC technical committee 52: Printed circuits.

The text of this standard is based on the following documents:

FDIS	Report on voting
52/758/FDIS	52/762/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annex A is for information only.

## INTRODUCTION

L'encapsulation du matériel électronique a traditionnellement fait l'objet de considérations mécaniques. La conception de l'encapsulation présente une complexité croissante tandis que les techniques électroniques actuelles offrent une vitesse de commutation et une densité d'intégration plus élevées. Les puces individuelles possèdent un plus grand nombre de connexions pour des tailles de boîtier de puce plus réduites. Afin de tirer le meilleur avantage de la densité et de la vitesse du dispositif, il faut que les concepteurs accordent beaucoup plus d'attention aux problèmes posés par les phénomènes de propagation d'ondes électromagnétiques associés à la transmission de signaux de commutation au sein du système. De nouvelles disciplines et stratégies de conception sont nécessaires. Les cartes de circuit à impédance contrôlée s'inscrivent dans le cadre de cette stratégie.

L'interconnexion et l'encapsulation de composants électroniques relevaient principalement du domaine des concepteurs en mécanique qui se préoccupaient de facteurs tels que le poids, le volume, la puissance et le facteur de forme, les interconnexions étant spécifiées dans des listes de câblage ou listes de filet. Le routage des signaux pour conducteurs électriques était réalisé sans autres préoccupations que celle du maintien de la continuité entre les points, de la présence de cuivre en quantité suffisante dans les conducteurs pour le passage du courant et du respect du dégagement afin d'empêcher une rupture de tension. Les performances électriques du signal devaient garantir la qualité du trajet électrique, mais ne constituaient pas une préoccupation majeure.

Les progrès réalisés dans le domaine des circuits intégrés numériques font apparaître de nouveaux dispositifs offrant des temps de montée extrêmement rapides intégrés à des boîtiers microélectroniques à forte densité. Afin d'optimiser les performances du système, ces dispositifs nécessitent des techniques de câblage permettant des interconnexions à forte densité tout en offrant des performances électriques supérieures.

De nombreux problèmes de système sont associés au traitement numérique rapide, mais aucun n'a fait l'objet d'autant d'attention, récemment, que l'interconnexion. Il est évident que lorsque les vitesses de système augmentent, l'interconnexion, l'encapsulation et les cartes à circuit représentent les goulets d'étranglement responsables du ralentissement des performances du système. Les systèmes utilisant un circuit 100 K ECL subissent un ralentissement de presque 55 % au niveau de l'encapsulation et de l'interconnexion. Le CMOS est normalement considéré comme une technique «lente», mais elle s'intègre à des fréquences d'horloge dépassant 100 MHz. Dans ces cas, non seulement le retard du système constitue un problème, mais la question de l'affaiblissement du signal se pose au niveau des dispositifs BiCMOS à faible puissance, à faible tension et présentant une marge de bruit inférieure.

## INTRODUCTION

Packaging of electronic equipment has traditionally been an area for mechanical considerations. Packaging design is becoming more complex as today's electronics technologies are available in greater switching speed and higher density per chip. Individual chips have greater numbers of connections in smaller chip package sizes. To take maximum advantage of device density and speed, designers must pay much more attention to problems of electromagnetic wave propagation phenomena associated with transmission of switching signals within the system. New design disciplines and design strategies are needed. Controlled impedance printed boards are a part of this strategy.

Interconnection and the packaging of electronic components primarily have been the domain of mechanical designers who were concerned with such factors as weight, volume, power, and form factor and with interconnections specified in wire listing or net lists. Electrical conductors for signal transmission were routed with only a few concerns, that continuity was maintained between points, conductors had sufficient copper for the current and clearance was maintained to prevent voltage breakdown. Aside from providing a good electrical path, the electrical performance of the signal was not a major concern.

Advances in digital integrated circuits introduce new devices with extremely fast rise times which are housed in high density microelectronic packages. In order to optimize system performance, these devices require a wiring technology that supports high density interconnection and, at the same time, provides superior electrical performance.

While many system problems are associated with high speed digital processing, none has received more attention than interconnection. It is evident that as system speeds increase, interconnection, packaging, and printed boards become the bottlenecks that slow system performance. Systems using 100 K ECL circuitry have almost 55 % of the system delay in the packaging and interconnect. CMOS is normally considered a "slow" technology, but is designed into system clock rates in excess of 100 MHz. In these cases, not only is system delay a problem but signal attenuation becomes an issue with the low powered, low voltage, lower noise margin BiCMOS devices.

IECNORM.COM Click to visit

## CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

### Partie 1-2: Prescriptions génériques – Impédance contrôlée

#### 1 Domaine d'application

La présente partie de la CEI 61188 est destinée à être utilisée par les concepteurs de circuit, les ingénieurs en encapsulation, les fabricants de cartes imprimées et le personnel responsable de l'approvisionnement, de façon que tous aient une appréhension commune de chaque domaine. L'objectif de l'encapsulation consiste à transférer un signal d'un dispositif à un ou plusieurs autres dispositifs au travers d'un conducteur. Les conceptions rapides sont définies comme des conceptions dont les propriétés d'interconnexion influent sur les performances du circuit et exigent des considérations particulières.

#### 2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 61188. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision, et les parties prenantes aux accords fondés sur la présente partie de la CEI 61188 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 61182 (toutes les parties), *Cartes imprimées – Description et transmission de données informatiques*

CEI 61182-1:1994, *Cartes imprimées – Description et transmission de données informatiques – Partie 1: Descriptif de carte imprimée sous forme numérique*

CEI 61189-3:1997, *Méthodes d'essai pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 3: Méthodes d'essais des structures d'interconnexion (cartes imprimées)*

#### 3 Vue d'ensemble de la conception technique

##### 3.1 Sélection du dispositif

Parmi les options technologiques du dispositif figurent les TTL, Schottky TTL, CMOS, ECL et GaAs, chacune possédant ses propres prescriptions de puissance, gamme de températures de fonctionnement, densité de puce, impédance d'entrée, de sortie, niveaux de seuil de signal, sensibilité au bruit, temps de réponse et temps de montée/descente d'impulsions de sortie. De nombreuses conceptions intégreront des techniques mixtes, mélangeant la SMT et l'encapsulation par trous de liaison à la logique TTI, CMOS et ECL susceptibles de nécessiter des largeurs de ligne multiples (valeurs d'impédance) sur la même couche de circuit ou de faire un compromis sur une seule largeur de conducteur offrant suffisamment de marge aux différentes familles de logiques.

## PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

### Part 1-2: Generic requirements – Controlled impedance

#### 1 Scope

This part of IEC 61188 is intended to be used by circuit designers, packaging engineers, printed board manufacturers and procurement personnel so that all may have a common understanding of each area. The aim in packaging is to transfer a signal from one device to one or more other devices through a conductor. High-speed designs are defined as designs in which the interconnecting properties affect circuit performance and require unique considerations.

#### 2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 61188. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 61188 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid international standards.

IEC 61182 (all parts), *Printed boards – Electronic data description and transfer*

IEC 61182-1:1994, *Printed boards – Electronic data description and transfer – Part 1: Printed board description in digital form*

IEC 61189-3:1997, *Test methods for electrical materials, interconnection structures and assemblies – Part 3: Test methods for interconnection structures (printed boards)*

#### 3 Engineering design overview

##### 3.1 Device selection

Device technology options include TTL, Schottky TTL, CMOS, ECL and GaAs, each with its own set of power requirements, operating temperature range, density of chip, input impedance, output impedance, signal threshold levels, noise sensitivity, response time and output pulse rise/fall time. Many designs will have mixed technology where SMT and through hole packaging is intermixed with TTL, CMOS and ECL logic that may require multiple line widths (impedance values) on the same circuit layer or may compromise on a single conductor width that can provide enough margin for the different logic families.

Les puces peuvent être montées individuellement sur une grande carte ou assemblées sur de petites cartes ou modules multipuces montés sur de grandes cartes. Il n'est pas exclu que les systèmes de grande taille nécessitent plusieurs ensembles de grandes cartes présentant un autre niveau d'interconnexion. Le bruit, la temporisation et la dégradation du signal accompagneront les transitions d'un niveau d'encapsulation à un autre.

Les connexions électriques sur la carte peuvent présenter toute une gamme de configurations: broches de raccordement s'insérant dans la carte par des trous métallisés, comme dans les boîtiers à deux rangées de broches, série de pastilles dans le cas des dispositifs pour montage en surface. Les prescriptions relatives à l'encapsulation des composants dépendent de plusieurs facteurs, entre autres l'espace, l'économie, les performances électriques et la fiabilité, ainsi que le style d'encapsulation prédominant de l'ensemble. Les composants doivent offrir un style compatible avec les processus d'assemblage utilisés pour la fabrication de la carte imprimée équipée.

Le boîtier du composant doit être pris en compte lorsqu'on envisage une conception rapide. Au niveau des composants passifs, le facteur prédominant sera la longueur de la sortie car les sorties fournissent une inductance et une capacité supplémentaires influençant la vitesse de propagation et les transitoires de commutation. Pour minimiser ces effets, il est admis de réduire au maximum la longueur des sorties ou de les enlever. Les dispositifs pour montage en surface peuvent présenter des boîtiers sans sorties pouvant être directement montés sur le substrat d'interconnexion.

NOTE – Les fiches techniques de composants n'indiquent souvent pas de valeurs parasites concernant le bruit à vitesse rapide et la vitesse de propagation.

Les dispositifs actifs, les composants tels que les circuits intégrés, sont souvent proposés dans plusieurs boîtiers différents. En général, les boîtiers DIP, en plastique ou en céramique, sont les plus courants. Ce sont typiquement les plus grands et ceux qui fournissent l'environnement de fonctionnement rapide le moins bon du fait de la configuration des sorties. Le style de boîtier qui vient en second est le boîtier pour montage en surface. Ils sont proposés dans une gamme de boîtiers différents tels que SOIC, PLCC, PFQP ou TSOP. Ces boîtiers réduiront typiquement la capacité et l'inductance des sorties.

Pour obtenir des performances optimales au niveau du dispositif, la puce peut être directement montée sur le substrat en utilisant le pastillage (COB), la puce à bosses ou le soudage automatisé sur bande (TAB). Elles constituent une approche optimale car elles minimisent la capacité/inductance de sortie.

### **3.2 Intraconnexion**

#### **3.2.1 Connecteurs**

Les intraconnexions sont souvent sources de problèmes en application rapide car aucun environnement de signal continu n'est fourni. La plupart des systèmes de connecteurs carte à carte ne sont pas conçus pour une utilisation dans le cadre d'applications à hautes performances et compromettent l'intégrité de signal du système. Les connexions carte à carte présentent souvent un défaut d'adaptation de l'impédance caractéristique dans la carte elle-même.

Il existe deux approches principales pour réduire la discontinuité de signal provoquée par les systèmes d'interconnexion:

- a) la première approche consiste à fournir un style de connecteur permettant de disposer les brochages de manière à obtenir un trajet de signal satisfaisant. Les signaux non-différentiels doivent se définir par une référence située entre la ligne de signal active et la connexion du plan de référence le plus proche, qu'il s'agisse d'une tension ou d'un plan de masse. Les conducteurs de signaux non différentiels reposent sur des géométries contrôlées et un plan de référence proche pour le contrôle de l'impédance. La qualité de la broche de signal, celle de la broche de référence et leur emplacement déterminent les performances électriques. Pour optimiser les performances, des broches de référence doivent être ajoutées afin de réduire les problèmes de diaphonie. Généralement un rapport broche de signal-broche de référence de 3 à 1 est suffisant;

Chips can be individually mounted on a large board or assembled into small boards or multichip modules mounted onto large boards. Large systems may require several large board assemblies with another level of interconnection. Noise, timing, and signal degradation will accompany transitions from one packaging level to the next.

The electrical connections to the board can be of a variety of configurations ranging from pins that will insert through plated holes in the board, as in dual in-line packages, to a series of lands for surface mount devices. Requirements for component packaging are dependent on many factors including space, economics, electrical performance and reliability, as well as the predominant packaging style of the assembly. The components shall be provided in a style that is compatible with the assembly processes used to manufacture the printed board assembly.

The component package shall be considered when designing for high speed. In passive components the predominant factor will be the lead length as leads provide additional inductance and capacitance that will affect propagation speed and switching transients. To minimize these effects the leads may be as short as possible or removed. Surface mount devices can provide leadless packages which can be directly mounted to the interconnecting substrate.

NOTE – Component data sheets often do not provide parasitic values for high speed noise and propagation speed consideration.

Active devices, components such as integrated circuits, are often offered in several packages. In general, DIP packages, in either plastic or ceramic, have been the predominate package. These are typically the largest packages and provide the poorest high speed operating environment due to lead configuration. The next best package style is the surface mount package. These are offered in a variety of packages such as SOICs, PLCCs, PQFPs, TSOPs BGAs. These packages will typically reduce the lead capacitance and inductance.

To obtain the optimum performance from the device, the die can be directly mounted to the substrate using either the chip-on-board (COB), flip chip or tape automated bonding (TAB) approach. These offer an optimum approach since they minimize the lead capacitance/inductance.

### **3.2 Intraconnection**

#### **3.2.1 Connectors**

Intraconnections are often troublesome in high speed application because a continuous signal environment is not provided. Most board to board connector systems are not designed for use in high performance applications and compromise the signal integrity of the system. Board to board connections often mismatch the characteristic impedance designed into the board themselves.

There are two primary approaches to reduce the signal discontinuity caused by interconnect systems:

- a) The first approach is to provide a connector style such that the pinouts can be arranged to provide a good signal path. Non-differential signals shall establish a relationship between the active signal line and the closest reference plane connection, either a voltage or ground plane. Non-differential signal conductors rely on controlled geometries and nearby reference plane for impedance control. Signal pin quality, reference pin quality and their location controls electrical performance. To optimise performance, reference pins shall be added to reduce the cross-talk problems. Generally a 3:1 ratio of signal to reference pins (i.e. 3 signal, 1 reference) is sufficient;

- b) la seconde approche consiste à modifier le connecteur pour minimiser la distance de discontinuité entre les cartes. En diminuant la longueur de la broche, ou en ajoutant un plan de masse de référence dans le connecteur, on peut utiliser des distances plus réduites.

Des connecteurs coaxiaux montés sur carte sont fréquemment utilisés quand seules quelques lignes de signal sont connectées à une carte à circuit ou quand l'isolation ou l'intégrité du signal est importante.

### 3.2.2 Câbles

Des connecteurs et des câbles coaxiaux discrets sont souvent utilisés car ils peuvent coupler des signaux rapides, de haute fréquence, à une carte imprimée avec une faible dégradation de signal. Quatre domaines doivent être considérés:

- vitesse de propagation du signal;
- diaphonie;
- bruit induit;
- adaptation des impédances.

Des fils coaxiaux discrets ont été utilisés avec des cartes à fils discrets pour des applications rapides uniques jusqu'à 18 GHz. Un câble optique a également été utilisé avec succès avec des cartes à fils discrets pour des signaux à haute fréquence.

## 3.3 Cartes imprimées et cartes imprimées équipées

Le placement des composants est un facteur critique dans la conception de systèmes rapides. Les effets d'un placement inadapté peuvent être importants et affectent les domaines suivants:

- gestion de la diaphonie;
- contrôle de l'impédance;
- répartition de la puissance.

### 3.3.1 Conception de la carte

Le nombre de couches du signal dans les cartes multicouches sera influencé par la densité des interconnexions au sein de la carte ainsi que l'effet de la diaphonie ou du couplage entre les lignes de signal. La tolérance au niveau de la diaphonie peut rendre nécessaire d'ajouter des couches ou d'exiger une augmentation de l'espace entre les conducteurs, réduisant ainsi la densité d'interconnexion.

La densité des interconnexions des cartes à fils discrets influencera l'effet de diaphonie. Il n'est pas exclu que l'utilisation d'un routage de fil diagonal sur les mêmes couches de câblage qui roulent les conducteurs verticalement ou horizontalement (c'est-à-dire directions X et Y) permette une plus grande densité de circuit par couche et que les géométries de placement disponibles puissent permettre une densité élevée et une faible diaphonie.

Il existe une relation étroite entre la conception et les performances dans le cas de lignes d'interconnexion impliquant des signaux numériques rapides. Cette interdépendance n'existe pas auparavant ou pouvait être ignorée dans les applications de signaux lents, cependant elle impose maintenant de nouvelles règles de conception, restrictions et gestions de processus.

Pour relever les défis posés par le traitement numérique rapide, la carte imprimée multicouche actuelle doit:

- réduire le temps de propagation;
- réduire la diaphonie et les autres parasites de ligne;
- réduire la perte de signal;
- permettre les interconnexions à densité élevée.

- b) The second approach is to modify the connector to minimize the discontinuity. By shortening the pin length, or adding a reference ground plane within the connector, smaller distances between boards can be used.

Board mounted coaxial connectors are frequently used when only a few signal lines are connecting to a circuit board or where either signal isolation or signal integrity is important.

### 3.2.2 Cables

Discrete coax connectors and cables are often used because they can couple high speed, high frequency signals to a printed board with little signal degradation. There are four areas that shall be considered:

- signal propagation speed;
- cross-talk;
- induced noise;
- impedance matching.

Discrete coaxial wires have been used with discrete wiring boards for unique, high-speed applications up to 18 GHz. An optical cable has also been used successfully with discrete wiring boards for high frequency signals.

## 3.3 Printed board and printed board assemblies

Component placement is a critical factor in the design of high-speed systems. The effects of unsuitable placement can be significant and include concerns in the following areas:

- cross-talk management;
- impedance control;
- power distribution.

### 3.3.1 Board design

The number of signal layers in multilayer boards will be influenced by the density of interconnections within the board as well as the effect of cross-talk or coupling between signal lines. Cross-talk allowance can make it necessary to add layers or can require increasing space between conductors decreasing the interconnect density.

Discrete wiring board density of interconnections within the board will influence the effect of cross-talk. The use of diagonal wire routing on the same wiring layers that route conductors vertically or horizontally (i.e. X and Y directions) may allow greater circuit density per layer and the placement geometries available can accommodate high density and low cross-talk.

A close relationship between design and performance exists in the case of interconnection lines involving high speed digital signals. This interdependence did not exist previously or could be ignored in low-speed signal applications, however, it now imposes new design rules, restrictions and process controls.

To meet the challenges of high-speed digital processing, today's multilayer printed board shall:

- reduce propagation delay;
- lower cross-talk and other line parasitics;
- reduce signal loss;
- allow for high density interconnections.

Pour atteindre les objectifs souhaités, le concepteur doit commencer par contrôler l'impédance des lignes de transmission.

Les conducteurs contrôlés sur les cartes peuvent être utilisés pour l'interconnexion de signaux entre dispositifs. Pour une construction donnée, l'impédance peut être contrôlée avec une épaisseur diélectrique, une épaisseur et une largeur de conducteur spécifiques ainsi que la permittivité relative (constante diélectrique).

La sélection du substrat de la carte, la permittivité relative (constante diélectrique) ( $\epsilon_r$ ) affecte la propagation du signal et l'épaisseur pour une impédance caractéristique donnée ainsi qu'une largeur de ligne donnée. Une permittivité relative  $\epsilon_r$  inférieure accélère la propagation du signal mais augmente la largeur du conducteur pour une valeur d'impédance donnée.

Pour les cartes à fils discrets, l'épaisseur et la largeur du conducteur sont contrôlées en sélectionnant la taille de fil appropriée. L'isolation de fils discrets peut occasionner une diminution de la permittivité relative effective (constante diélectrique) pour une construction donnée, provoquant une augmentation des vitesses de propagation de signal au niveau des cartes à fils discrets. Une conception réalisée en fonction de valeurs d'impédance spécifiques contrôle (comme les lignes de transmission) la capacité et le matériau entre les conducteurs. Il convient de maintenir des trajets de signaux courts pour minimiser les temps de propagation. Même s'il était possible de créer un circuit capable de commuter à une vitesse infinie, le matériau d'interconnexion dicterait les performances des systèmes. La figure 1 illustre la vitesse de commutation d'un dispositif par rapport au temps de propagation d'un diélectrique typique en tissu de verre/époxy couramment utilisé dans l'industrie des cartes imprimées.

Les contraintes spatiales, le nombre et la complexité des interconnexions, la répartition de la puissance et le coût de fabrication représentent une partie des facteurs à considérer. Pour déterminer les prescriptions relatives aux couches, il faut prendre en compte l'épaisseur des couches diélectriques, la composition et l'épaisseur des couches de plan de masse/de tension, la composition diélectrique, la largeur/l'épaisseur du conducteur et la longueur totale. La largeur et l'épaisseur du conducteur détermineront les coûts de fabrication.

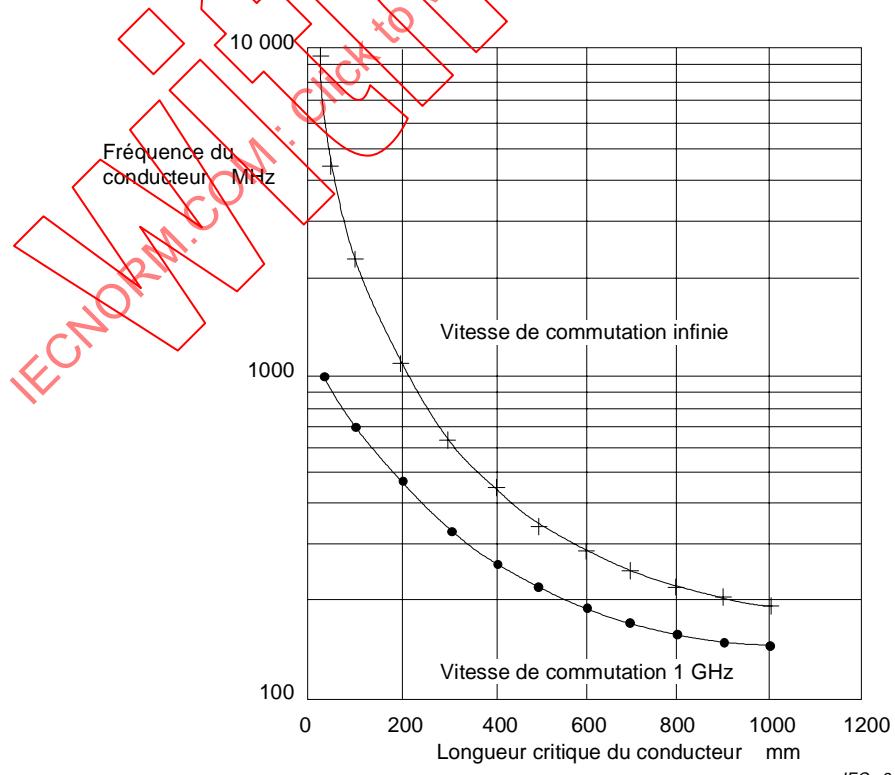


Figure 1 – Vitesse de commutation par rapport au temps de propagation

To achieve these desired goals the designer shall start by controlling the impedance of the transmission lines.

Controlled conductors on boards can be used for signal interconnect between devices. For a given construction, impedance can be controlled with a specific dielectric thickness, conductor thickness, conductor width and the relative permittivity (dielectric constant).

Board substrate selection, relative permittivity (dielectric constant) ( $\epsilon_r$ ) effects signal propagation and thickness for a given characteristic impedance as well as line width. Lower  $\epsilon_r$  results in faster signal propagation, but increases conductor width for a given impedance value.

For discrete wired boards the conductor thickness and width is controlled by selection of the appropriate wire size. The insulation on the discrete wires can result in a lower effective relative permittivity (dielectric constant) for a given construction, resulting in higher signal propagation speeds in discrete wire boards. Designing to specific impedance values, controls (as transmission lines) the capacitance and the material between conductors. Signal paths should be kept short to minimize propagation delays. Even if it were possible to make a circuit capable of switching at infinite speed, the interconnection material would dictate the performance of the systems. Figure 1 illustrates the switching speed of a device versus propagation delay in a typical woven glass epoxide dielectric commonly used in the printed board industry.

Space constraints, number and complexity of interconnections, power distribution and cost of manufacture are some factors to be considered. When determining requirements of layer count the thickness of dielectric layers, the composition and thickness of ground/voltage plane layers, the dielectric composition, conductor width/thickness and the overall length. The width and thickness of the conductor will determine manufacturing costs.

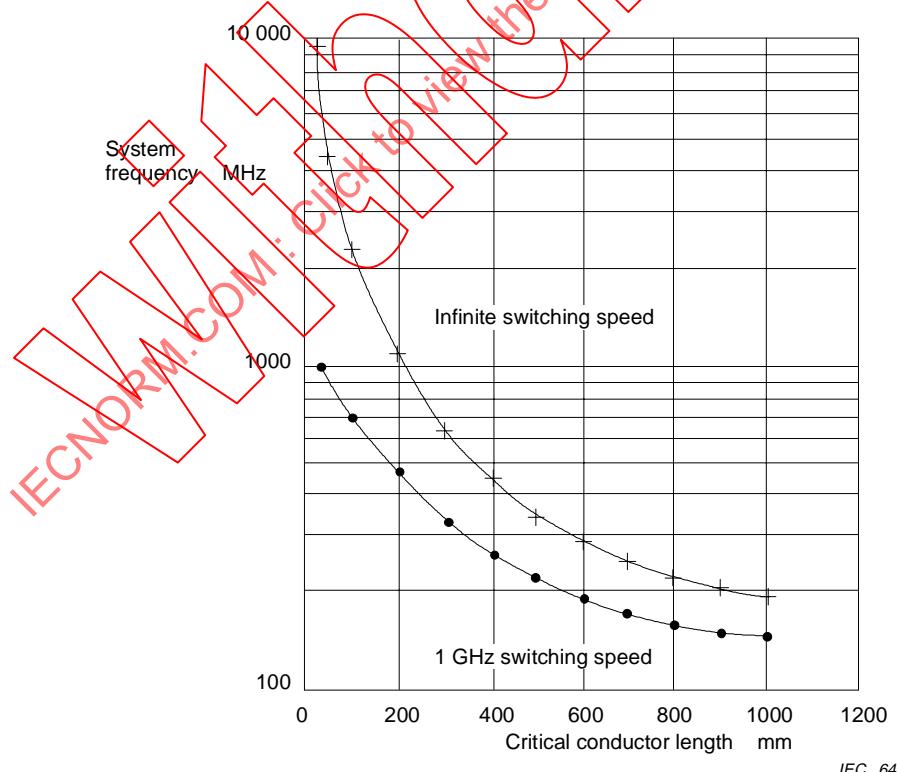


Figure 1 – Switching speed versus propagation delay

### 3.4 Prescriptions de performance

La théorie de propagation des ondes électromagnétiques doit être considérée en évaluant les performances de l'interconnexion et de ses substrats. Les dispositifs rapides se caractérisent par un temps réduit de montée des impulsions dont la forme d'onde est similaire à un signal sinusoïdal alternatif. Quand le temps de montée de l'impulsion diminue, la fréquence de la forme d'onde augmente et la carte imprimée ressemble de plus en plus à un circuit rapide à courant alternatif.

#### 3.4.1 Répartition de la puissance

Pour les dispositifs rapides, l'activité de commutation s'accompagne d'exigences de changements tout aussi rapides du courant électrique au niveau de l'alimentation. Si plusieurs dispositifs demandent du courant à peu près au même instant, il est nécessaire que le système de répartition de la puissance réponde à ces exigences tout en maintenant sa tension. Cette prescription requiert l'établissement de connexions à faible inductance aux dispositifs à forte capacité pour les différentes tensions du système.

#### 3.4.2 Permittivité relative (constante diélectrique)

La permittivité relative,  $\epsilon_r$ , d'une substance, est définie comme le rapport de la permittivité du matériel et de la permittivité en espace libre, qui possède une valeur de 1,00. La permittivité relative (constante diélectrique) est le terme couramment utilisé dans l'industrie bien que la constante diélectrique varie selon plusieurs paramètres. Parmi les facteurs influençant la permittivité relative (constante diélectrique) d'un matériau donné, on distingue la fréquence électrique à laquelle la mesure est effectuée, ainsi que la température et l'ampleur de l'absorption d'eau. En outre, si le matériau est un composite, c'est-à-dire un stratifié renforcé, on admet que la valeur de  $\epsilon_r$  varie énormément lorsqu'on modifie la quantité relative de chaque composant du composite.

La permittivité relative (constante diélectrique),  $\epsilon_r$  du diélectrique d'une structure d'interconnexion affectera les performances électriques. Le choix de  $\epsilon_r$  est utilisé au niveau de la conception de la structure afin de respecter les prescriptions relatives à l'impédance, la capacité et le temps de propagation du système. Pour une géométrie de ligne conductrice donnée, le temps de propagation variera directement comme la racine carrée de  $\epsilon_r$ , l'impédance inversement à la racine carrée de  $\epsilon_r$  et la capacité directement comme  $\epsilon_r$ .

La permittivité relative effective (constante diélectrique),  $\epsilon'_r$ , est la permittivité relative expérimentée par un signal électrique transmis le long d'un trajet conducteur. Il est permis d'obtenir une valeur expérimentale de  $\epsilon_r$  en utilisant une technique de réflectométrie temporelle (TDR).

#### 3.4.3 Relation entre la permittivité relative (constante diélectrique) et la fréquence

Les valeurs de  $\epsilon_r$  et  $\epsilon'_r$  dépendent toutes deux du rapport renforcement-résine, de la température, de l'absorption d'eau et de la fréquence à laquelle la mesure est effectuée. Il est permis de prendre des mesures afin d'assurer que les mesures électriques sont réalisées dans des conditions similaires à l'application finale.

Certains matériaux, tels qu'un stratifié verre/époxy, présentent une dépendance vis-à-vis de la fréquence des propriétés diélectriques du produit, et il devient important de choisir soigneusement la fréquence à laquelle les mesures sont faites. Sélectionner la fréquence de façon qu'il soit permis d'utiliser les paramètres diélectriques obtenus pour fournir une prédition précise des caractéristiques électriques de la carte imprimée finie.

La plupart des caractéristiques de transmission d'une carte imprimée étant déterminées par des mesures TDR, il est judicieux d'utiliser la fréquence correspondant à ces mesures TDR comme fréquence de choix pour la comparaison des propriétés diélectriques.

### 3.4 Performance requirements

Electromagnetic wave propagation theory shall be considered in evaluating the performance of the interconnection and their substrates. High-speed devices are characterized by the short rise time of the pulses whose wave form is similar to an a.c. sinusoidal signal. As the rise time of the pulse decreases, the frequency of the wave form increases and the printed board looks increasingly like a high-speed a.c. circuit.

#### 3.4.1 Power distribution

For high-speed devices, switching activity is accompanied by equally high-speed demands for changes in electrical current from the power supply. If several devices demand current at or near the same instant, the power distribution system is required to meet these demands while maintaining its voltage. This requirement demands low inductance connections to devices with high capacitance for the various voltages in the system.

#### 3.4.2 Relative permittivity (dielectric constant)

The relative permittivity,  $\epsilon_r$ , of a substance is defined as the ratio of the permittivity of the material to the permittivity of free space, which has a value of 1,00. Relative permittivity (dielectric constant) is the term in common use in industry even though dielectric constant varies with several parameters. Factors that influence the relative permittivity (dielectric constant) of a given material include the electrical frequency at which the measurement is performed, temperature, and extent of water absorption. In addition, if the material is a composite for example a reinforced laminate, the value of  $\epsilon_r$  may vary enormously as the relative amount of each component of the composite is changed.

The relative permittivity (dielectric constant),  $\epsilon_r$ , of the dielectric of an interconnecting structure will affect electrical performance. The choice of  $\epsilon_r$  is used in the design of the structure to meet the impedance, capacitance and propagation time requirements of the system. For a given conductor line geometry, propagation time will vary directly as the square root of  $\epsilon_r$ , impedance inversely as the square root of  $\epsilon_r$ , and capacitance directly as  $\epsilon_r$ .

The effective relative permittivity (dielectric constant),  $\epsilon'_r$ , is the relative permittivity that is experienced by an electrical signal transmitted along a conductive path. An experimental value of  $\epsilon'_r$  may be obtained using a time domain reflectometry (TDR) technique.

#### 3.4.3 Relative permittivity (dielectric constant) and frequency relationship

Values of both  $\epsilon_r$  and  $\epsilon'_r$  are dependent on the reinforcement to resin ratio, temperature, water uptake and the frequency at which the measurement is performed. Steps may be taken to ensure that electrical measurements are performed under conditions that are similar to the final application.

Some materials, such as an epoxide/glass laminate, exhibit a dependence of frequency component of dielectric properties, and it becomes important to choose carefully the frequency at which measurements are made. Select the frequency such that the dielectric parameters obtained may be used to provide a precise prediction of the electrical characteristics of the finished printed board.

Since most transmission characteristics for a printed board are determined by TDR measurements, it is appropriate to use the frequency corresponding to these TDR measurements as the frequency of choice for comparing dielectric properties.

Il est permis de déterminer la fréquence concernée ou la largeur de bande (BW) la plus élevée d'une impulsion numérique en gigahertz sur la base de cette relation:

$$BW = 0,35/t_r$$

où  $t_r$ , en nanosecondes, représente le temps de montée d'impulsion de 10 % à 90 % de sa valeur maximale. Ainsi, une impulsion TDR typique, avec un temps de montée de 100 ps, présente une largeur de bande de 3,5 GHz. (Une certaine dégradation de ce temps de montée survient cependant au niveau de la transmission du fait du montage d'essai, ce qui réduit quelque peu la fréquence effective). Cela impose que les mesures diélectriques réalisées par des méthodes autres que la TDR soient effectuées à haute fréquence.

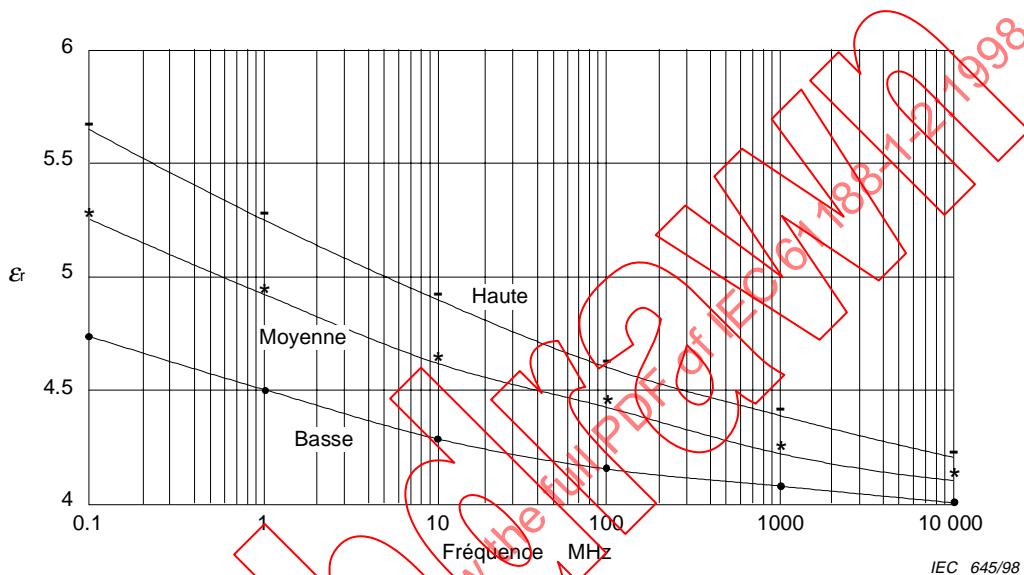


Figure 2 –  $\epsilon_r$  par rapport à la fréquence (stratifié verre/époxy)

L'équation permettant de prévoir la moyenne mondiale  $\epsilon_r$  est la suivante:

$$\epsilon_r = 4,97 - 0,257 [\log f / 10] \times 10^6$$

Une variation à trois sigma était mesurée à  $\pm 0,35$  (8 %).

Une  $\epsilon_r$  ligne à ligne à trois sigma sur un flan de carte imprimée était mesurée à  $\pm 0,26$  (6 %)

Comme indiqué auparavant,  $\epsilon_r$  est lié au rapport résine verre. La figure 2 représente une moyenne prise en compte.

Les prédictions  $Z_0$  correspondront de façon plus précise aux mesures TDR si une valeur de  $\epsilon_r$  de 4,1 est utilisée car les essais TDR sont réalisés à de très hautes fréquences.

$Z_0$  augmente à des fréquences inférieures à 1 MHz selon un taux plus élevé que prévu, ce qui est dû à un étalement sur le plan de référence.

The highest frequency of concern or bandwidth (BW) in gigahertz of a digital pulse may be obtained from the relationship:

$$BW = 0,35/t_r$$

where  $t_r$  in nanoseconds is the pulse rise time from 10 % to 90 % of its maximum value. Thus, a typical TDR pulse, with a rise time of 100 ps, has a bandwidth of 3,5 GHz. (Some degradation of this rise time, however, occurs in transmission through the test fixture, thus reducing the effective frequency somewhat.) This dictates that dielectric measurements made by methods other than TDR shall be conducted at higher frequency.

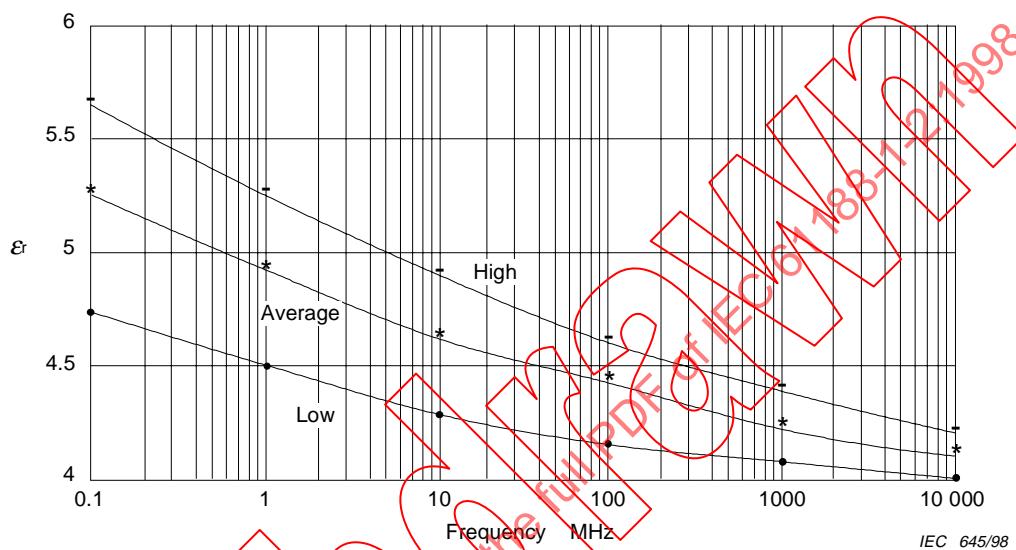


Figure 2 –  $\epsilon_r$  versus frequency (epoxide/glass laminate)

The equation to predict worldwide average  $\epsilon_r$  is:

$$\epsilon_r = 4,97 - 0,257 [\log f / 10] \times 10^6$$

Three sigma variation was measured at  $\pm 0,35$  (8 %).

Three sigma line to line  $\epsilon_r$  variation on a printed board panel was measured at  $\pm 0,26$  (6 %).

As previously stated,  $\epsilon_r$  is related to the resin to glass ratio. Figure 2 represents an average which takes that into account.

$Z_0$  predictions will more closely agree with TDR measurements if a value of  $\epsilon_r$  of 4,1 is used since TDR testing is done at very high frequencies.

$Z_0$  increases at frequencies below 1 MHz at a rate that is greater than expected. This is due to current spreading on the reference plane.

La figure 2 montre des tracés de  $\epsilon_r$  mesurés sur la gamme de fréquences de 100 kHz à 10 GHz, pour un stratifié de type stratifié verre/époxy avec un rapport verre-résine d'environ 40:60 selon le poids. La valeur de  $\epsilon_r$  pour ce stratifié varie environ de 4,7 à 4,0 sur cette gamme de fréquences. Ce changement de l'amplitude de  $\epsilon_r$  est principalement dû à la réponse en fréquence de la résine et se trouve donc réduit si la proportion de verre dans le composite augmente. En outre, la réponse en fréquence changera également si un système résineux de substitution est choisi. Les fournisseurs de matériaux citent généralement des valeurs de propriétés diélectriques déterminées à 1 MHz.

#### 3.4.4 Vitesse de signal critique

Selon la règle générale, les effets de la ligne de transmission (effets d'onde) représentent une considération de conception importante quand la longueur du conducteur se rapproche du 1/7 de la longueur d'onde du signal. Si la fréquence d'horloge est de 300 MHz, la longueur d'onde dans l'air est d'environ 1 m. Généralement, l'horloge du système est la répétition d'une impulsion de signaux carrés. La plupart des systèmes seront numériques, ainsi les données sont acheminées par le front de l'impulsion (montée très courte). Il doit être permis à ce front de monter (ou descendre) aussi vite que possible. La fréquence et le temps de montée du signal sont liés par la relation  $t_r = 0,35/f$ , où  $t_r$  représente le temps de montée en nanosecondes et  $f$  la fréquence en gigahertz.

Le tableau 1 indique les temps de montée pour certaines familles d'IC.

**Tableau 1 – Temps de montée du dispositif**

Temps de montée du dispositif	
Famille de dispositifs	Temps de montée ns
TTL	6-9
Schottky TTL	2-3
ECL	0,45-0,75
GaAs	0,05-0,20

Par exemple ECL a un temps de montée de 0,45 ns avec une fréquence correspondante de 0,35/0,45 GHz ou 777 MHz. En utilisant la formule  $t_{pd} = \text{racine carrée de } \epsilon_r / c$  ( $t_{pd}$  est le temps de propagation,  $c$  est la vitesse de la lumière), on obtient une longueur d'onde dans l'air d'environ 375 mm, 190 mm en stratifié verre/époxy ou moins de 100 mm en céramique. Cela signifie que pour les cartes imprimées fabriquées en stratifié verre/époxy, si le trajet d'interconnexion dépasse 250 mm, il convient de prendre en compte les propriétés électromagnétiques du signal et les effets de ligne de transmission.

Par conséquent, la vitesse du signal critique correspond au temps de montée/descente du signal du dispositif au lieu de la fréquence d'horloge.

#### 3.4.5 Environnement de ligne capacitive par rapport à un environnement de ligne d'impédance contrôlée

La ligne conductrice peut être traitée soit par une ligne de transmission, soit par une ligne capacitive. Dans le cas des lignes de transmission, la règle de conception consiste à fournir une impédance caractéristique connue avec une impédance adaptée permettant de minimiser les réflexions résultant d'impulsions à temps de montée rapide. Dans le cas des lignes capacitatives, selon le concept, une ligne nécessite une certaine circulation de courant pour permettre un changement de tension détecté à destination. Les paramètres critiques et les prescriptions de conception dépendront du concept approprié.

Figure 2 shows plots of the  $\varepsilon_r$ , measured over the frequency range 100 kHz to 10 GHz, for an epoxide/glass type laminate with a glass-to-resin ratio of approximately 40:60 by weight. The value of  $\varepsilon_r$  for this laminate varies from about 4,7 to 4,0 over this frequency range. This change in the magnitude of  $\varepsilon_r$  is principally due to the frequency response of the resin and thus is reduced if the proportion of glass in the composite is increased. In addition, the frequency response will also be changed if an alternative resin system is selected. Material suppliers typically quote values of dielectric properties determined at 1 MHz.

### 3.4.4 Critical signal speed

The general rule is that transmission line effects (wave effects) become an important design consideration when the length of the conductor approaches 1/7 of the wave length of the signal. If the system clock frequency is 300 MHz, the wavelength in air is about 1 m. Generally, the system clock is a repetition of a square wave pulse. Most systems will be digital, so data are carried in the leading edge of the pulse (the sharp rise). This edge shall be permitted to rise (or fall) as quickly as possible. Frequency and the rise time of the signal are related by the relation  $t_r = 0,35/f$  where  $t_r$  is rise time in nanoseconds and  $f$  is the frequency in gigahertz.

Table 1 shows the rise times for some families of the ICs.

**Table 1 – Device rise time**

Device rise time	
Device family	Rise time ns
TTL	6-9
Schottky TTL	2-3
ECL	0,45-0,75
GaAs	0,05-0,20

For example, ECL has a rise of 0,45 ns time with a corresponding frequency of 0,35/0,45 GHz or 777 MHz. Using the formula  $t_{pd} = \sqrt{\varepsilon_r/c}$  ( $t_{pd}$  is the propagation delay,  $c$  is the speed of light), this translates to a wavelength in air of about 375 mm, 190 mm in epoxide/glass laminate or less than 100 mm in ceramic. This means that for printed boards fabricated from epoxide/glass laminate, if the interconnection path is more than 250 mm, the electromagnetic properties of the signal, and transmission line effects should be considered.

Therefore, the critical signal speed is the signal rise/fall time of the device instead of the clock frequency.

### 3.4.5 Capacitive line versus controlled impedance line environment

The conductor line can either be treated as a transmission line or a capacitive line. The design concept for transmission lines is to provide a known characteristic impedance with a matching impedance to minimize reflections resulting from fast rise time pulses. The concept for a capacitive line is that a line requires a certain amount of current flow to result in the changed voltage being detected at the destination. The critical design parameters and requirements will depend on which concept is appropriate.

### 3.4.5.1 Ligne capacitive

Quand on considère la ligne de signal comme une ligne capacitive, le temps de propagation est calculé en supposant que la ligne et les charges connectées sont purement capacitives. Les réflexions sur la ligne d'interconnexion courte surviennent plusieurs fois pendant le temps de montée de l'impulsion, le résultat net correspond à une dégradation du temps de transition de bord, c'est-à-dire un ralentissement, contrairement aux échelons distincts apparaissant sur les lignes de transmission. L'utilisation des équations relatives aux lignes de transmission fournit généralement un temps de propagation beaucoup plus rapide, créant par là-même un résultat imprécis.

### 3.4.5.2 Ligne d'impédance contrôlée

L'impédance caractéristique ( $Z_0$ ) du conducteur du circuit est analogue à la résistance d'un courant continu (donnée par la loi d'Ohm selon laquelle  $R = U/I$ ). Pour un circuit rapide, l'impédance est toujours le rapport de la tension d'attaque et du courant traversant le conducteur. La différence critique est la suivante: dans le cas de la haute fréquence, on s'intéresse au passage du courant durant la période de temps précédant le moment où le front de l'impulsion de tension atteint le dispositif.

L'impédance joue un rôle important dans la conception de la carte pour plusieurs raisons.

Si l'on applique la définition ci-dessus, la quantité de courant nécessaire à l'élément de circuit (amplificateur) pour suivre un trajet de signal dépend de  $Z_0$ . La conception d'IC en tient compte et elle peut influencer l'emplacement éventuel des récepteurs le long du circuit.

Au niveau des systèmes rapides présentant une discontinuité le long du trajet de signal, des réflexions surviendront. Les réflexions, non seulement réduisent la quantité de courant atteignant le récepteur, mais sont également susceptibles de provoquer une oscillation (bruit) le long du circuit. Ces formes de dégradation de signal peuvent provoquer des dysfonctionnements du système du fait de signaux manquants (résultant d'une perte de niveau d'affaiblissement) ou de signaux parasites (résultant du bruit des réflexions).

La période de temps de mesure étant très courte, la terminaison du circuit ne compense pas l'impédance caractéristique. De même, la résistivité du conducteur, généralement du cuivre, ne contribue pas de façon significative à l'impédance du circuit rapide. Ces deux effets sont dus au fait que le rapport de la tension d'attaque et du courant ( $U/I$  = impédance) est déterminé avant que le signal n'atteigne l'extrémité du circuit.

### 3.4.6 Largeur de bande

A partir des équations de Maxwell, il est possible de montrer que le temps de propagation pour un signal traversant un conducteur d'une carte imprimée/fil discret est le suivant:

$$t_{pd} = \sqrt{\frac{\epsilon_r}{c}}$$

A basse fréquence, il est généralement permis de représenter électriquement un trajet de signal sur une carte imprimée comme une capacité en parallèle avec une résistance. Cependant, quand la fréquence augmente, cette approche de modélisation de circuit à constantes localisées ne s'applique plus et les trajets de signaux doivent être considérés comme des lignes de transmission.

Pour l'interconnexion de conducteurs à impédance contrôlée, les propriétés électriques et diélectriques des matériaux de la carte présentent une importance plus grande et plus de soin doit être pris pour la conception et la terminaison du circuit. Plusieurs tentatives ont été faites pour définir le point à partir duquel les conducteurs agissent comme des lignes de

### 3.4.5.1 Capacitive line

When the signal line is considered as a capacitive line, the propagation time is calculated assuming the line plus the loads connected to it are purely capacitive. Because the reflections on the short interconnecting line occur several times during the pulse's rise time, the net result is a degradation of the edge transition time, i.e. slowing down, as opposed to distinct steps that occur in transmission lines. Using the transmission line equations generally provides a much faster propagation time, creating an inaccurate result.

### 3.4.5.2 Controlled Impedance line

The characteristic impedance ( $Z_0$ ) of the circuit conductor is analogous to the resistance of a d.c. (given by Ohm's law as  $R = U/I$ ). For a high speed circuit, the impedance is still the ratio of the driving voltage to the current that flows along the conductor. The critical difference is that in the high frequency case, one is interested in the current flow during the time period before the rising edge of the voltage pulse reaches the next device.

Impedance is important in board design for several reasons.

Applying the definition above, the amount of current that the circuit element (driver) will need to pass along a signal path depends on  $Z_0$ . This is taken into account in the design of ICs and can effect where receivers may be placed along the circuit.

In high-speed systems with discontinuity along the signal path, reflections will occur. Reflections not only reduce the amount of power reaching the receiver, but may also cause ringing (noise) along the circuit. These forms of signal degradation can cause systems to malfunction due to missing signals (from attenuation drop out) or spurious signals (from reflections noise).

Because the time period for measurement is very short, circuit termination does not offset the characteristic impedance. Likewise, the resistivity of the conductor, typically copper, does not contribute significantly to the high speed circuit impedance. Both of these effects are because the ratio of driving voltage to current ( $U/I$  = impedance) is determined before the signal reaches the end of the circuit.

### 3.4.6 Bandwidth

From Maxwell's equations, it can be shown that propagation time for a signal passing through a conductor in a discrete wiring/printed board:

$$t_{pd} = \sqrt{\frac{\epsilon_r}{c}}$$

At low frequencies, a signal path on a printed board may usually be represented electrically as a capacitance in parallel with a resistance. However, as the frequency is increased, this approach of lumped circuit modelling breaks down and signal paths shall be regarded as transmission lines.

For controlled impedance conductor interconnection, the electrical and dielectric properties of the board materials have increased importance and greater care shall be taken with the design and termination of the circuit. Several attempts have been made to define the point at which conductors act as transmission lines. The required analysis needs to be performed in either the

transmission. Il est nécessaire d'effectuer l'analyse requise soit au niveau de la fréquence, soit au niveau du domaine temporel. Cependant, le point critique à retenir pour les signaux numériques est le suivant: c'est le temps de montée de l'impulsion et non la fréquence d'horloge du dispositif qui représente le facteur déterminant. La fréquence d'horloge est un paramètre dépendant car plus le temps de montée est rapide, plus la fréquence d'horloge d'un dispositif peut augmenter.

**Tableau 2 – Données types pour certaines familles logiques**

<b>Famille logique</b>	<b>Temps de montée</b> ns	<b>Largeur de bande</b> MHz	<b>Longueur d'onde dans l'espace libre</b>		
			<b>Dans l'espace libre</b> m	<b>Dans stratifié verre/époxy*</b> m	<b>1/2 montée stratifié verre/époxy*</b> m
TTL	8,0	44	6,800	3,100	0,5500
Schottky TTL	3,0	120	2,500	1,200	0,2100
ECL	0,6	580	0,520	0,240	0,0410
GaAs	0,1	3 500	0,086	0,040	0,0069

\* La permittivité de stratifié verre/époxy a été fixée à 4,7.

Le point auquel une carte imprimée affecte de façon significative les caractéristiques de transmission d'une impulsion de propagation, largement cité dans le milieu des circuits imprimés, établit la comparaison entre le temps de montée et la longueur du trajet. Le principe consiste à déterminer, pour la transmission d'une impulsion à un temps de montée donné, la longueur d'un conducteur avant qu'une différence de tension importante ne se produise sur sa longueur. Les conducteurs dépassant cette longueur critique sont considérés comme des lignes de transmission. Si la chute de tension maximale est supérieure à la moitié de la valeur de la hauteur d'impulsion, le circuit est considéré comme une ligne de transmission. Cette longueur est importante en raison des autres considérations pratiques.

Pour des longueurs de trajet plus importantes, il n'est pas exclu que les réflexions provenant d'une impédance de charge mal adaptée soient reçues en retour à la source après que l'impulsion a atteint sa valeur à plateau maximal, et les additions d'impulsions survenant dans ces circonstances sont susceptibles de provoquer le déclenchement intempestif d'un dispositif. Pour des longueurs de trajet plus réduites, les impulsions réfléchies sont reçues en retour à la source avant que l'impulsion ait atteint sa valeur de plateau. Par conséquent, toute modification de la forme de l'impulsion se localisera au niveau du front de l'impulsion qui est moins susceptible de produire un déclenchement intempestif du dispositif. Les valeurs sont répertoriées dans la dernière colonne du tableau 2. On a suggéré de considérer les conducteurs de circuit dépassant 60 % de la longueur indiquée dans la dernière colonne du tableau 2 comme des lignes de transmission permettant une marge plus importante au niveau de la conception.

### 3.4.7 Temps de propagation

Dans les systèmes rapides, il n'est pas rare que le temps du cycle d'horloge soit plus court que le temps de propagation d'un signal d'un dispositif à l'autre. Pour que le système fonctionne correctement à vitesse élevée, un temps de propagation contrôlé est susceptible d'être nécessaire. Dans certains cas, des réglages du temps de propagation pour certains réseaux sont susceptibles d'être nécessaires en contrôlant la longueur totale d'attaque de la source à la charge.

#### 3.4.7.1 Temps de retard de propagation

La vitesse de propagation d'une onde électromagnétique est liée à la permittivité du moyen d'isolation selon la relation

$$V_p = \sqrt{\epsilon_r^{-0,5}}$$

frequency or the time domain. However, the critical point to remember for digital signals is that it is the pulse rise time, and not the rate at which the device is clocked, that is the key determining factor. The clock rate is a dependent parameter since the faster the rise time the faster a device can be clocked.

**Table 2 – Typical data for some logic families**

Logic family	Rise time ns	Bandwidth MHz	Wavelength in free space		
			In free space m	Epoxide/glass laminat e* m	1/2 rise epoxide/ glass laminate* m
TTL	8,0	44	6,800	3,100	0,5500
Schottky TTL	3,0	120	2,500	1,200	0,2100
ECL	0,6	580	0,520	0,240	0,0410
GaAs	0,1	3 500	0,086	0,040	0,0069

\* Relative permittivity of epoxide/glass laminate was taken as 4,7.

The point at which a printed board significantly affects the transmission characteristics of a propagating pulse, widely cited within the printed board community, compares the rise time to the path length. The premise is to determine, for the transmission of a pulse of a given rise time, the length of a conductor before a significant voltage difference is realized along its length. Conductors longer than this critical length are then regarded as transmission lines. If the maximum voltage drop is greater than half the pulse height value, the circuit is regarded as a transmission line. This length is important due to other practical considerations.

For longer path lengths, reflections from a mismatched load impedance may be received back at the source after the pulse has reached its maximum plateau value, and pulse additions that occur under these circumstances may lead to false triggering of a device. For shorter path lengths, reflected pulses are received back at the source before the pulse has reached its plateau value. Therefore, any modification of the pulse shape will only be to the leading edge of the pulse, which is less likely to produce false device triggering. Values are listed in the final column of table 2. It has been suggested that circuit conductors longer than 60 % of the length shown in the final column of table 2, will be regarded as transmission lines allowing a greater margin in the design.

### 3.4.7 Propagation time

In high-speed systems, it is not unusual for the clock cycle time to be shorter than the propagation time for a signal from one device to another. For the system to perform correctly at high speeds, a controlled propagation time may be required. In some cases adjustments in the propagation time for certain nets may be required by controlling total etch length from source to load.

#### 3.4.7.1 Propagation delay time

The propagation speed of an electromagnetic wave is related to the permittivity of the insulating medium by the relation

$$V_p = \sqrt{\epsilon_r^{-0,5}}$$

où  $c$  représente la vitesse de la lumière ( $3 \times 10^8$  m/s) et  $\epsilon_r$  la permittivité du matériau isolant. La permittivité du polyimide renforcé est d'environ 3,5, celle du tissu de verre/époxy ou polyimide pour carte imprimée est comprise entre 4 et 5, la céramique hybride entre 9 et 10 et celle des plaquettes en silicium d'environ 15. Pour préserver la vitesse des dispositifs rapides, la longueur totale d'interconnexion doit être considérée.

Généralement pour les circuits ECL à lignes refermées sur une charge, la vitesse de propagation varie inversement par rapport à la racine carrée de la capacité de ligne. Pour les circuits CMOS, la vitesse varie inversement par rapport à la capacité quand le retard est dû à une obliquité.

Il n'est pas exclu que le temps de retard de propagation soit directement proportionnel à la racine carrée de la permittivité relative effective. Afin de calculer le temps de propagation pour un signal transmis par un conducteur spécifique, l'équation ci-dessus doit être utilisée et on doit se référer à 3.4.2 s'il est nécessaire de dériver une valeur de  $\alpha'$  à partir de valeurs connues de  $\epsilon_r$  pour les diélectriques environnants. Voir 4.2 qui fournit une liste d'équations pour plusieurs configurations de circuit.

### 3.4.8 Effets de chargement de signal

Quand un conducteur est connecté à plusieurs charges (dispositifs), la question du chargement du signal doit être considérée. Dans le cas d'une connexion en série et si l'impédance de la charge est faible, ou correspond approximativement à l'impédance caractéristique de la ligne, une diminution de l'amplitude du signal se produira quand chacune des charges est atteinte. Des charges d'impédance élevée relatives à la ligne occasionneront une diminution d'amplitude plus réduite. Il n'est pas exclu qu'une charge adaptée au niveau de la ligne finale soit nécessaire pour empêcher une réflexion qui pourrait envoyer une fausse impulsion (déclenchement intempestif) sur la ligne. Le concept de la ligne de transmission (impédance contrôlée) est généralement approprié.

Dans un schéma de connexion radiale, chaque point de dérivation ressemble à une charge de faible impédance et l'amplitude diminuera au niveau des branches. Le concept de ligne capacitive (capacité contrôlée) est généralement approprié.

### 3.4.9 Diaphonie

La diaphonie est le transfert d'énergie (couplage) entre des conducteurs par inductance mutuelle et composants capacitifs. L'énergie provenant du circuit «source» se superpose sur le «récepteur» (ligne visée), le signal du circuit entraînant une commutation parasite et des pertes de niveau du circuit. Les signaux introduits dans la ligne active seront induits dans la ligne silencieuse ou passive par les champs électromagnétiques qui accompagnent le signal progressant sur la ligne active. L'extrémité proche fait référence à l'extrémité d'origine du signal, l'extrémité éloignée à l'extrémité de réception du signal.

Les signaux couplés progressant en direction de l'extrémité éloignée sont appelés diaphonie directe et les signaux couplés dans la ligne passive revenant vers l'extrémité proche sont appelés diaphonie inverse.

Le couplage dû aux effets capacitifs entraîne la transmission d'une duplication de faible niveau du signal actif aux extrémités proches et éloignées, avec la même polarité que le signal actif.

Le couplage dû aux effets inductifs transmet également des signaux aux extrémités proches et éloignées, mais le signal envoyé à l'extrémité éloignée est inversé (polarité opposée) par rapport au signal actif. Par conséquent, la composante de diaphonie inverse du couplage inductif et capacitif est la somme des signaux, mais la composante de diaphonie directe représente la différence entre les deux signaux, créant généralement une composante de diaphonie plus réduite.

Les coefficients de couplage de diaphonie figurant dans les références distinguent les coefficients directs et inverses.

where  $c$  is the velocity of light ( $3 \times 10^8$  m/s) and  $\epsilon_r$  is the permittivity of the insulating material. The permittivity of unreinforced polyimide is about 3,5, epoxide or polyimide woven glass for printed board is 4 to 5, hybrid ceramic is 9 to 10, and that of silicon wafers is about 15. To preserve the speed of high speed devices, total interconnection length shall be considered.

Generally for ECL circuits with terminated lines, the propagation velocity varies inversely with the square root of the line capacitance. For CMOS circuits, the speed varies inversely with the capacitance where the delay is caused by skew.

It may be seen that propagation delay time is directly proportional to the square root of the effective relative permittivity. In order to calculate the propagation time for a signal transmitted down a specific conductor, one shall use the above equation and refer to 3.4.2 if a value needs to be derived for  $\epsilon_r'$  from known values of  $\epsilon_r$  for the surrounding dielectrics. See 4.2 which lists a compilation of equations for several circuit configurations.

### 3.4.8 Signal loading effects

When a conductor is connected to several loads (devices), the issue of signal loading shall be considered. When connected in serial fashion and the impedance of the load is low, or a near match to the characteristic impedance of the line, there will be a decrease in signal amplitude as each load is reached. High impedance loads relative to the line will result in a smaller decrease in amplitude. A matched load at the end of the line may be necessary to prevent a reflection that could send a false pulse (false triggering) on the line. The transmission line (controlled impedance) concept is usually appropriate.

With a radial connection scheme, each branch point looks like a low impedance load and the amplitude will be diminished on the branches. The capacitive line (controlled capacitance) concept is usually appropriate.

### 3.4.9 Cross-talk

Cross-talk is the transfer of energy (coupling) between conductors by mutual inductance and capacitive components. The energy from the "source" circuit becomes superimposed on the "receptor" (victim line) circuit signal leading to spurious switching and circuit dropouts. Signals introduced into the active line will be induced into the quiet or passive line by electromagnetic fields that accompany the travelling signal on the active line. The near end refers to the signal originating end, the far end, the signal receiving end.

The coupled signals travelling toward the far end are called forward cross-talk and the coupled signals in the passive line coming back to the near end are called backward cross-talk.

The coupling due to capacitive effects causes a low level replica of the active signal to be sent to both the far and the near ends, with the same polarity as the active signal.

The coupling due to the inductive effects also sends signals to both the near and the far ends, but the signal to the far end is inverted (opposite polarity) to that of the active signal. Consequently, the backward cross-talk component of the inductive and capacitive coupling is the sum of the signals, but the forward cross-talk component is the difference between the two signals, usually resulting in a smaller cross-talk component.

The cross-talk coupling coefficients found in references differentiate between the forward and backward coefficients.

Le niveau du signal transféré (couplé) diminue quand les segments de lignes parallèles sont plus courts, les séparations de ligne plus larges, l'impédance de ligne plus faible et les temps de montée d'impulsion plus longs. Les conducteurs parallèles pour des longueurs importantes soit sur le même plan de signal soit sur des plans de signaux adjacents sont susceptibles d'induire une diaphonie. Une ligne visée peut également être parallèle à plusieurs autres lignes sur de courtes distances. Si une certaine combinaison et synchronisation d'impulsions survient sur les autres lignes, un signal peut être induit sur la ligne visée. Il existe ainsi des prescriptions selon lesquelles la diaphonie doit être maintenue entre les lignes en-dessous d'un niveau spécifié.

### 3.4.9.1 Gestion de la diaphonie

Généralement, la diaphonie pose problème quand on utilise des dispositifs rapides en raison des composantes fréquentielles harmoniques élevées. Le mélange de familles logiques pose également des problèmes du fait du mélange de diverses excursions de tension, marges de bruit et niveaux logiques. Le mélange des familles logiques Schottky TTL et ECL en constituerait un exemple.

Le problème se pose ici au niveau du couplage des signaux TTL vers les conducteurs ECL. Etant donné que l'excursion TTL est d'amplitude 3 V et que la famille ECL possède seulement une marge de bruit de 100 mV c.c., un couplage indésirable important peut se produire.

Lorsqu'on utilise des plans de cuivre pour répartir les niveaux logiques, une diaphonie (couplage) peut également survenir pour ces signaux par le trajet à retour par la terre. Il s'agit du couplage d'impédance en mode commun. Globalement, un signal rétro-réfléchi provoque une montée du potentiel de la masse due à la résistance plan en courant continu. Ce problème peut être très important, particulièrement au niveau des circuits analogiques lorsqu'une logique numérique est présente.

### 3.4.10 Affaiblissement du signal

Les systèmes rapides génèrent des impulsions à temps de montée réduit et il n'est pas exclu qu'ils réagissent de façon ambiguë aux impulsions dépassant le temps de montée maximal. L'affaiblissement du signal augmente le temps de montée et diminue l'amplitude de l'impulsion. On peut l'illustrer en considérant le modèle d'une impulsion comme une somme de signaux de plusieurs fréquences différentes. Les composantes à fréquence élevée de l'impulsion s'affaiblissent plus rapidement que les composantes à fréquence plus basse, en raison de l'effet de peau au niveau du conducteur ainsi que de l'effet de dissipation dans le diélectrique.

Il n'est pas exclu que les signaux soient encore affaiblis par la résistance du cuivre utilisé dans le conducteur et par les pertes de l'effet de peau résultant de la finition de la surface en cuivre.

La résistance du cuivre est susceptible de réduire les niveaux de tension en régime permanent en dessous des niveaux nécessaires pour garantir une tenue au bruit adaptée. C'est le cas particulièrement pour les circuits ECL où un diviseur de tension est formé par la résistance de bouclage et la résistance de ligne.

La résistance en courant continu peut être calculée en utilisant la résistivité du cuivre et les géométries des conducteurs utilisés. Les effets de la finition de surface (effets de peau) peuvent être déterminés par expérimentation ou d'après une formule. À des vitesses supérieures, le courant ne pénètre pas le conducteur, il est donc possible que le cuivre massif ne soit pas nécessaire.

### 3.4.11 Terminaison de filets

La terminaison de filets est susceptible d'être nécessaire pour respecter l'intégrité du signal, la synchronisation, les prescriptions relatives à la tension des amplificateurs et des récepteurs ainsi que l'adaptation de l'impédance. Les types courants de terminaisons sont détaillés dans les paragraphes suivants et sont illustrés à la figure 3.

The level of the transferred (coupled) signal decreases with shorter parallel line segments, wider line separations, lower line impedance, and longer pulse rise times. Conductors that are parallel for long lengths either on the same signal plane or on adjacent signal planes are susceptible to induced cross-talk. A victim line can also run parallel for short distances to several other lines. If a certain combination and timing of pulses on the other lines occurs, it can induce a signal on the victim line. Thus, there are requirements that the cross-talk between lines be kept to below a specified level.

### 3.4.9.1 Cross-talk management

Typically, cross-talk is a concern when high-speed devices are used because of the high harmonic frequency content. Mixing logic families also causes concern because of the mixture of various voltage swings, noise margins and logic levels. An example would be mixing Schottky TTL and ECL logic families.

The concern here is coupling from the TTL signals to the ECL conductors. Since TTL swings with an amplitude of 3 V and the ECL family has only a 100 mV d.c. noise margin significant undesired coupling can occur.

When copper planes are used to distribute logic levels, cross-talk (coupling) can also occur through the ground return path for these signals. This is called common mode impedance coupling. Essentially, a returning signal causes a ground potential rise due to the d.c. resistance of the plane. This problem can be very significant especially in analogue circuitry when digital logic is present.

### 3.4.10 Signal attenuation

High-speed systems generate short rise time pulses and may respond ambiguously to pulses exceeding maximum rise time. Signal attenuation increases rise time and decreases the amplitude of the pulse. This is best explained in terms of the model of a pulse as a sum of signals of several frequencies. The high frequency components of the pulse attenuate more rapidly than lower frequency components. This is due to the skin effect in the conductor as well as the dissipation effect in the dielectric.

Signals may be further attenuated by the resistance of the copper used in the conductor and by skin effect losses resulting from the finish of the copper surface.

The resistance of the copper may reduce the steady state voltage levels below the levels needed for adequate noise immunity. This is especially true of ECL circuits where a voltage divider is formed by the terminating resistor and the line resistance.

DC resistance can be calculated using the copper resistivity and the geometries of the conductors being used. The effects of surface finish (skin effects) can be determined by experiment or formulae. At higher speeds, the current does not penetrate the conductor, so the need for heavy copper may not be necessary.

### 3.4.11 Termination of nets

Termination of nets may be necessary to satisfy signal integrity, timing, voltage requirements of drivers and receivers and impedance matching. Common termination types are detailed in the following paragraphs and are shown in figure 3.

Les terminaisons de résistance en série consistent à utiliser une résistance en série entre l'amplificateur et le récepteur, méthode utilisée le plus fréquemment pour adapter le fillet à l'amplification. Une terminaison en série contrôle le dépassement, exige un composant seulement et consomme peu d'énergie, mais peut influencer le temps de montée/descente. Pour optimiser son efficacité, il faut placer une résistance en série à proximité de l'amplificateur.

Les terminaisons en parallèle connectent l'extrême d'un fillet à la terre. Une charge de chaîne en série dotée d'un amplificateur constitue une application type. La résistance refermée sur une charge s'adapte généralement à la valeur de l'impédance du fillet et aura de faibles réflexions. Cette configuration permet un routage facile des charges réparties et ne provoque aucune dégradation du retard.

Les terminaisons Thevin (voir la figure 3) sont des diviseurs de résistance généralement reliés à la tension et à la masse au niveau de l'extrême du fillet. Il n'y a aucune dégradation de retard, une polarisation en c.c. définie est établie par le choix des valeurs de résistance, et une commutation incidente se produit au niveau de la charge. Cette terminaison consomme plus de courant, nécessite deux composants et influence les décalages du niveau continu pour des états logiques élevés ou faibles.

Les terminaisons RC, appelées condensateurs d'amortissement, sont montées en série avec la source de tension, généralement la masse. Elles contrôlent le dépassement et la présence de transitoires, ne consomment pas de courant continu et lisent les flancs des formes d'ondes. La valeur de la résistance et du condensateur au fillet doit être adaptée et deux composants doivent être nécessaires.

Une terminaison à diode de niveau peut soit être amenée à l'état haut par  $V_{CC}$ , soit être amenée à la masse, soit les deux. Elle est utilisée sur des bus lourdement chargés ou au niveau des entrées de composants sensibles. Elle a pour effet de fixer le dépassement. Négativement, elle a un effet minimal sur les autres problèmes d'intégrité de signal.

Series resistor terminations are the use of a resistor in series between the driver and receiver, used most commonly to match the net to the driver. A series termination controls overshoot, requires only one component and consumes little power, but can effect rise time/fall time. To be most effective series resistor must be placed close to the driver.

Shunt terminations connect the end of a net to the ground. A serial chain load with a driver is a typical application. The terminated resistor usually matches the value of the net impedance and will have low reflections. This configuration provides for easy routing of distributed loads and provides no delay degradation.

Thevin terminations (see figure 3) are resistor dividers usually connected to voltage and ground at the end of the net. There is no delay degradation and a defined d.c. bias is established by the choice of resistor values, and incident switching occurs at the load. This termination consumes more power, requires two components and has effects on d.c. offsets for high and low logic states.

Resistor capacitor terminations, called snubbers, are in series with the voltage source, usually ground. They control overshoot and spiking, consume no d.c. power, and smooth edges of wave forms. The value of the resistor and capacitor shall be matched to the net and required two components.

A diode clamp termination can be either pulled up by  $V_{cc}$ , pulled to ground, or both. It is used on heavily loaded busses or sensitive component inputs. The affect is to clamp overshoot. On the negative, it has a minimal effect on other signal integrity issues.

IECNORM.COM. Click to view the full PDF

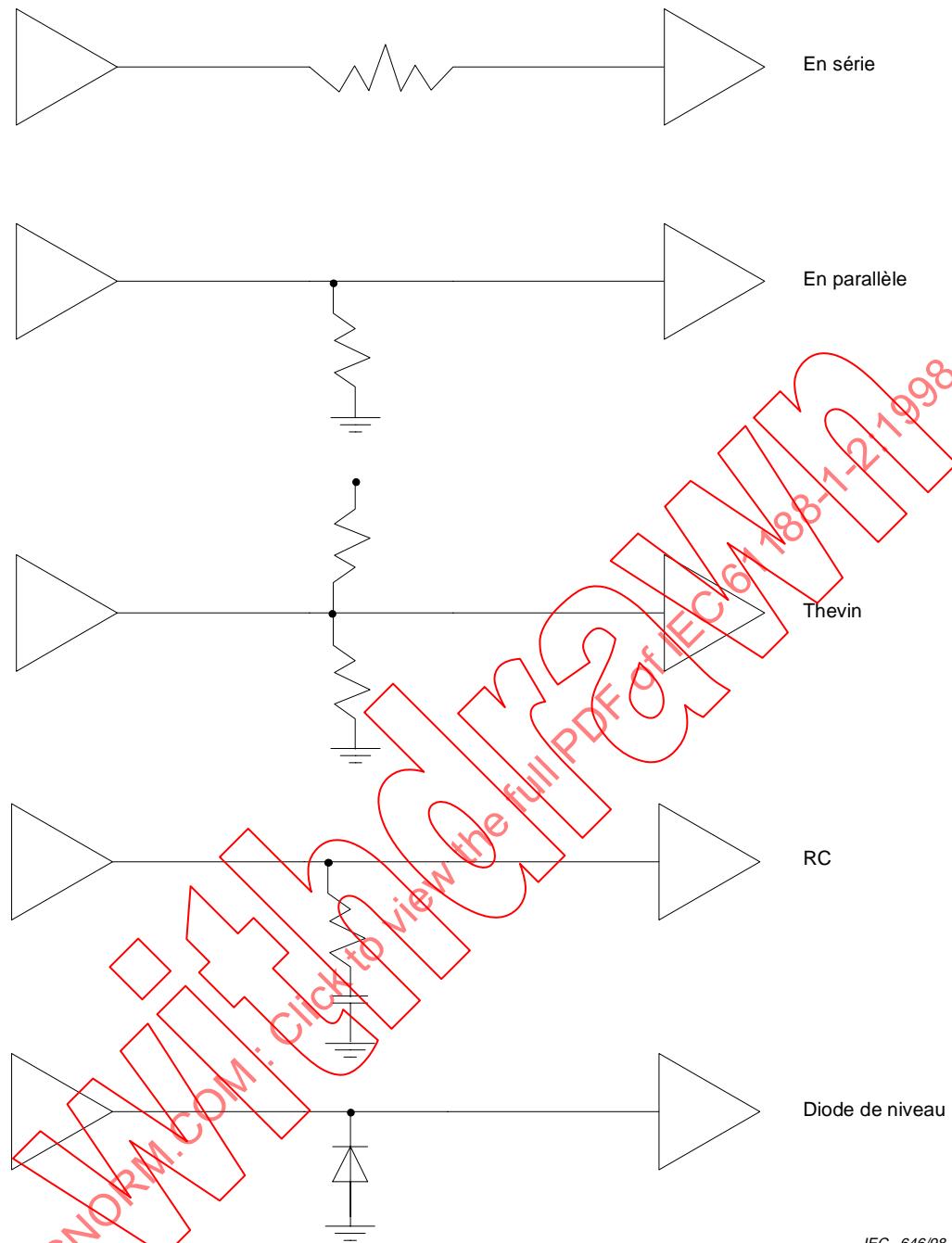
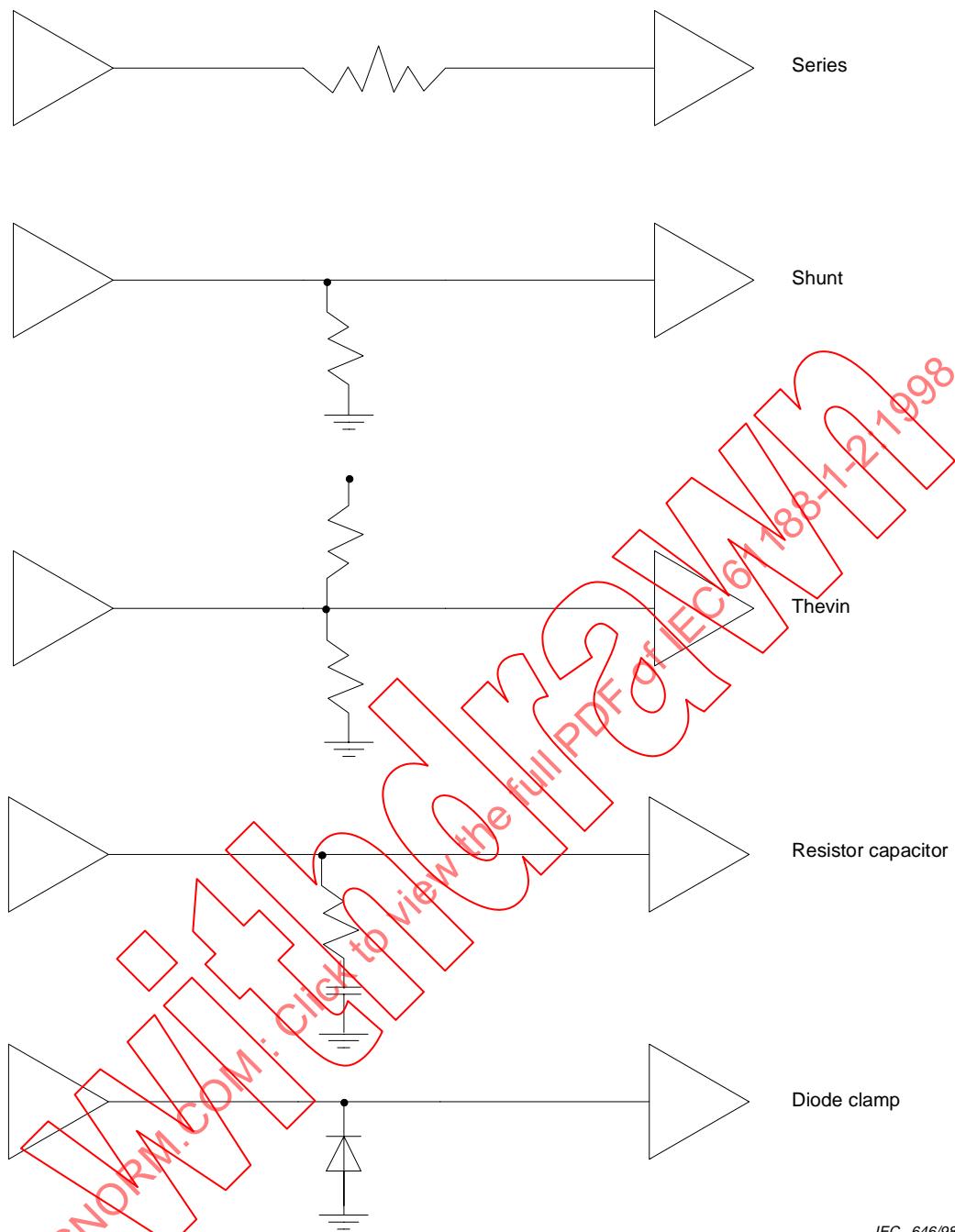


Figure 3 – Terminaison de filets

### 3.4.12 Autres problèmes d'intégrité de signal

Outre les questions d'intégrité de signal, il est possible qu'il faille considérer d'autres effets dans le cadre de la conception rapide/à haute fréquence. Parmi ces effets, on distingue l'obliquité, le dépassement, le rappel, les violations de seuil et le couplage dû à une commutation simultanée.

L'obliquité est l'effet d'un retard de signal susceptible de provoquer des erreurs de synchronisation au niveau de la conception. Par exemple, des horloges et leur rapport avec des dispositifs sélectionnés utilisant un signal d'horloge sont susceptibles d'être affectés par l'obliquité. L'obliquité peut être affectée par l'impédance du conducteur, la relation entre le conducteur et la masse (couplage), la variation d'alimentation, les tolérances du dispositif et la capacité de charge des entrées.



IEC 646/98

**Figure 3 – Termination of nets**

### 3.4.12 Additional signal integrity issues

In addition to the signal integrity issues, other effects may have to be considered in high-speed/high-frequency design. Some of these are skew, overshoot, ring back, threshold violations and coupling due to simultaneous switching.

Skew is the effect of signal delay that may cause timing errors in the design. As an example, clocks and their relationship to selected devices using clock signal may be affected by skew. Skew can be affected by conductor impedance, the relationship of conductor to ground (coupling), power supply variation, device tolerances and load capacitance of inputs.

Le dépassement est l'effet d'une tension excessive dépassant  $V_{cc}$  ou le complément, le déplacement négatif, c'est-à-dire une tension excessive en dessous de la masse. Les composants ont une tolérance plus ou moins grande vis-à-vis de la contrainte de tension et il convient que les conceptions respectent les prescriptions des fiches techniques de composants. Le dépassement peut être contrôlé par différents systèmes extérieurs aux dispositifs par certaines méthodes de terminaisons qui ne sont pas exposées ici.

Le rappel est l'effet du front d'une transition logique, rencontrant ou dépassant la logique puis retraversant le seuil avant de se stabiliser. Cet effet peut être dû à un défaut d'adaptation entre les montages amplificateurs logiques et les récepteurs, à des techniques de terminaison incorrectes et à une mauvaise adaptation de l'impédance entre un fillet et les dispositifs.

Les violations de seuil surviennent quand un front d'impulsion n'atteint pas le seuil de tension de l'entrée du dispositif. De faibles amplificateurs ou des terminaisons non satisfaisantes en constituent souvent la cause bien que ce phénomène puisse aussi être provoqué par des amplificateurs de dispositif présentant un temps de montée important par rapport à la largeur d'impulsion.

Il n'est pas exclu que des sorties commutées simultanément soient couplées par induction entre  $V_{cc}$  et la masse, ce qui retarde la transition et modifie éventuellement les temps de montée et de descente. En l'absence de modèle exact du  $V_{cc}$  et de modèles représentant la masse et le boîtier, une simulation précise est difficile. La fourniture de connexions à faible inductance utilisant des conducteurs plus larges contribue à réduire les effets de l'induction.

### 3.4.13 Bruit de commutation

Lorsque des dispositifs subissent une commutation, le courant est absorbé à partir de l'alimentation électrique ou transmis vers celle-ci par les liaisons de puissance/au sol. Quand ce courant possède des composantes à fréquence élevée, le coefficient d'auto-induction des sorties et des rubans devient important, entraînant un bruit impulsionnel ou de commutation.

Ces transitoires sont provoqués par l'inductance de la boucle de puissance/de masse et l'implantation doit donc être conçue de façon à réduire cette inductance autant que possible.

Pour réduire le bruit de commutation, une technique commune consiste à utiliser des condensateurs de découplage servant à fournir le courant à partir d'un point plus proche de l'IC que la source d'alimentation. Alors même, le positionnement du condensateur est important. Si les sorties du condensateur sont trop longues, le coefficient d'auto-induction devient trop élevé et une commutation indésirable de circuits adjacents survient.

Normalement, le découplage est réalisé sur des cartes par l'intermédiaire de condensateurs discrets qui peuvent être positionnés à proximité des terminaisons de puissance/de masse du dispositif.

### 3.4.14 Autre bruit parasite

Les cartes multicouches possèdent des avantages par rapport aux cartes double face du fait que les puissance/masse sont susceptibles de constituer des couches continues de métallisation. Par conséquent, elles offrent une impédance plus faible en haute fréquence vis-à-vis des courants parasites et une répartition améliorée du courant. La bouche de courant est réduite de façon significative, le trajet étant à présent limité par la longueur de fil du signal et les couches de puissance. Pour apporter des améliorations supplémentaires au niveau des conceptions multicouches, des couches adjacentes (signal) peuvent être placées orthogonalement, ce qui réduit la diaphonie due à la petite zone de croisement entre conducteurs. Les couches de puissance et de masse serviront également à isoler les conducteurs de signal bruyants en protégeant les émissions par un plan métallique continu.

Overshoot is the effect of excessive voltage above  $V_{cc}$  or the complement, excessive voltage below ground, undershoot. Components have greater or lesser tolerance to voltage stress and the designs should meet the component data sheet requirements. Overshoot can be controlled by different schemes external to the devices by some of the termination methods discussed elsewhere.

Ring back is the effect of the rising edge of a logic transition, meeting or exceeding the logic, then recrossing the threshold before settling. This can be caused by mismatch of logic drivers and receivers, poor termination techniques and impedance mismatch of the net to the devices.

Threshold violations are caused when a rising pulse edge does not reach the voltage threshold of the device input. Weak drivers or poor terminations are often the cause although it can also be caused by device drivers with a large rise time versus pulse width.

Simultaneous switched outputs may be inductively coupled between  $V_{cc}$  and ground. This delays transition and may change rise and fall times. Without an accurate model of the  $V_{cc}$  and ground and package models, accurate simulation is difficult. Provision for low inductance connections using wider conductors helps to reduce the inductive effects.

### 3.4.13 Switching noise

When devices are switching, current is either drawn from or passed to the power supply through the power/ground links. When this current has high frequency components, the self inductance of the leads and traces becomes significant, leading to transient or switching noise.

These transients are caused by the inductance of the power/ground loop and hence the layout shall be designed so as to reduce this inductance as much as possible.

A common technique to reduce switching noise is the use of decoupling capacitors that serve to provide the current from a point closer to the IC than the power supply. Even when this is done, the positioning of the capacitor is important. If the capacitor leads are too long, the self inductance becomes too high and unwanted switching of adjacent circuits occur.

The decoupling on boards is normally achieved with discrete capacitors that can be closely positioned to the power and ground terminations of the device.

### 3.4.14 Other parasitic noise

Multilayer boards have advantages over double sided boards in that the power/ground planes may be continuous layers of metallization. Consequently, they offer a lower RF impedance to the spurious currents and improved current distribution. The current loop is significantly reduced since the path is now bounded by the signal wire length and the power layers. For further improvements in multilayer designs, adjacent layers (signal) can be run orthogonally thus reducing the cross-talk due to the small cross-over area between conductors. The power and ground layers will also serve to isolate noisy signal conductors by shielding emissions with a continuous metal plane.

### 3.4.15 Bilan du bruit/marge de bruit

Un bilan du bruit est défini comme l'attribution d'une tolérance de tension concernant les chutes de tension en courant continu ou alternatif du système afin qu'un dispositif fonctionne dans des limites spécifiques. Il existe deux principaux bilans de bruit de système. Le premier est le bilan du bruit en alimentation continue pour chaque circuit intégré. Le second est le bilan du bruit en courant alternatif du signal logique du dispositif.

Chaque dispositif logique est relié à une tension et un retour à la masse. La répartition de la puissance d'un système présente des chutes de tension alternative et continue limitées entre l'alimentation et le composant. L'alimentation possède également une tolérance de fonctionnement désignée. Les principaux paramètres intégrés à la marge de bruit sont les suivants:

- a) tolérance au niveau de l'alimentation;
- b) chutes en courant continu du système;
- c) chutes de découplage en profondeur;
- d) chute de découplage IC;
- e) tolérance au niveau de la tension d'entrée du composant;
- f) tension d'alimentation prédéterminée.

## 3.5 Répartition de la puissance

Il est permis de regrouper les caractéristiques en courant continu et alternatif relatives à la dégradation de la répartition de la puissance selon deux catégories principales, les pertes conductrices (c.c.) et les pertes diélectriques (c.a.).

### 3.5.1 Répartition de l'alimentation en courant continu

Le système de répartition de la puissance (c.c.) inclut la sortie de l'alimentation jusqu'à l'entrée de chaque dispositif. Pour les systèmes dotés de plusieurs cartes imprimées et alimentations, il est souhaitable de simuler l'interaction de chaque composant afin de vérifier et de soutenir l'effort de conception. La chute de tension entre deux points quelconques situés sur un plan en cuivre est déterminée en multipliant le courant de charge maximal par la résistance de la feuille plane. Si nécessaire, une analyse de modèle est utilisée pour déterminer la chute de tension entre chaque emplacement de circuit intégré.

### 3.5.2 Répartition de l'alimentation en courant alternatif

La répartition de la puissance (c.a.) est subdivisée en trois éléments. Etant donné qu'il s'agit d'un élément en courant alternatif, il est considéré comme un réseau d'impédance à répartition de puissance.

Le premier est l'impédance transitoire de commutation. Cette impédance apparaît entre le condensateur de découplage et la sortie du dispositif. C'est l'élément de courant dont la fréquence est la plus élevée.

Le deuxième élément est l'impédance due au chargement des condensateurs de découplage de l'IC. Le courant, au niveau de cette impédance, présente une fréquence plus faible et une amplitude plus grande que le courant du premier élément. La chute de tension sera moindre que dans le cas précédent, en raison de l'impédance moins élevée résultant de la fréquence plus basse.

Le troisième élément est l'impédance de la composante de rafraîchissement de la capacité de découplage rechargeant l'ensemble des condensateurs. Il est alimenté en courant et présentera généralement la composante de fréquence la moins élevée.

### 3.4.15 Noise budget/noise margin

A noise budget is defined as the allocation of a voltage tolerance for the system d.c. and a.c. voltage drops for a device to operate within specific boundaries. There are two primary system noise budgets. The first is the d.c. power supply noise budget for each integrated circuit. The second is the device logic signal a.c. noise budget.

Each logic device is connected to a voltage and a ground return. The system power distribution has finite a.c. and d.c. voltage drops between the power supply and component. Also the power supply has a designated operating tolerance. The salient parameters that are included for the noise margin are:

- a) power supply tolerance;
- b) system d.c. drops;
- c) bulk decoupling drops;
- d) IC decoupling drop;
- e) component input voltage tolerance;
- f) preset power supply voltage.

## 3.5 Power distribution

The d.c. and a.c. characteristics for degrading power distribution may be grouped into two major categories, conductive losses (d.c.) and dielectric (a.c.) losses.

### 3.5.1 DC power distribution

Power distribution system (d.c.) encompasses the output of the power supply to the input of each device. For systems with many printed boards and supplies, a simulation of the interaction of each component is desirable to verify and assist the design effort. The voltage drop between any two points on a copper plane, is determined by multiplying the maximum load current by the plane sheet resistance. When necessary model analysis is used to determine voltage drop between each integrated circuit location.

### 3.5.2 AC power distribution

The a.c. power distribution is divided into three contributing elements of importance. Since this is an a.c. component, it is considered as a power distribution impedance network.

The first element is the switching transient impedance. This impedance is between the decoupling capacitor and lead of the device. This is the highest frequency element of the current.

The second element is the impedance due to the charging of the IC decoupling capacitors. The current in this impedance is lower frequency and higher amplitude than the current in the first component. The voltage drop will be less than the above case, due to the lower impedance that results from the lower frequency.

The third element is the decoupling capacitance refresh component impedance which recharges the bulk capacitors. It is supplied from the power supply and will usually have the lowest frequency component.

Le découplage doit fournir un courant suffisant aux dispositifs, ce qui inclut des prescriptions relatives à la présence d'un courant de crête élevé pendant la commutation du dispositif. Le réseau de distribution de la carte imprimée doit fournir ce courant sans réduire la tension d'alimentation d'entrée en dessous de son niveau minimal requis. Lorsque l'énergie stockée sur la carte est insuffisante, des condensateurs sont placés à proximité des dispositifs, connectés entre les plans d'alimentation et les plans de masse pour fournir ce courant. Les condensateurs fournissent le courant de charge au dispositif au lieu des plans d'alimentation. Lorsqu'ils déchargent leur courant dans le dispositif, ils se rechargent rapidement à partir de l'énergie stockée au niveau de condensateurs à décharge moins rapide, à temps pour la prochaine décharge.

#### 4 Conception des circuits d'impédance contrôlée

Dans les cas où des signaux rapides sont transmis, il est possible qu'il soit nécessaire de considérer les conducteurs de signal comme des lignes de transmission. Cela signifie qu'il faut au minimum spécifier l'impédance caractéristique de ces lignes. Il convient de refermer les lignes de transmission sur leur propre impédance: un concepteur doit donc fournir des résistances de terminaison.

La tolérance et la valeur des résistances de terminaison doivent être déterminées de façon à les adapter aux prescriptions relatives à la ligne et à la conception. Il convient de prendre en considération les éléments suivants:

- a) les résistances de terminaison (pour chaque ligne de signal) augmentent la densité et la complexité;
- b) il convient de réaliser l'implantation de manière que les signaux empruntent le trajet le plus court de la source (amplificateur) à la charge (terminaison);
- c) les techniques de carte imprimée doivent être en mesure de contrôler l'impédance;
- d) l'espacement minimal entre les composants est susceptible d'éviter les lignes d'impédance contrôlée mais aussi d'augmenter la densité de gravure.

Le fait de placer des composants rapides à proximité les uns des autres est susceptible de réduire la nécessité des paramètres de ligne de transmission et de diminuer les problèmes de diaphonie, il est également possible qu'il occasionne des problèmes de gestion thermique et augmente le nombre de couches d'une carte imprimée du fait d'une augmentation de la densité. L'augmentation de l'espacement réduit les problèmes thermiques mais pourrait imposer des restrictions de diaphonie et d'impédance supplémentaires. De nombreuses considérations existent au niveau de la conception rapide. C'est le rôle du concepteur du circuit de comprendre les spécifications du système et d'évaluer les alternatives afin de proposer la solution la plus simple, rentable et fiable permettant de répondre à ces spécifications, y compris la sélection des meilleures caractéristiques de carte à câblage imprimé ou à câblage discret (voir aussi 3.4.5.2 et 3.4.8).

##### 4.1 Configurations

Une microligne de transmission comprend une ligne séparée d'un plan de référence «infini» par un couche de diélectrique. Dans le cas le plus simple, le conducteur est situé à la surface d'une couche extérieure où le conducteur est entouré d'air ( $\epsilon_r = 1,0$ ) sur le dessus, les côtés et le dessous par un diélectrique solide.

La carte à câblage discret constitue un autre exemple de construction de microligne de transmission encastrée. Le câble discret est encastré dans un diélectrique et encapsulé par un diélectrique plus solide.

La microligne de transmission encastrée représente un cas particulier de microligne de transmission: la ligne est enterrée à une certaine distance sous la surface de la carte, entourée par un diélectrique solide. La microligne enterrée possède un seul plan de référence séparé par une couche de diélectrique. Dans un cas, par exemple, le circuit de la couche externe est recouvert de matériau de masque de brasure sur la couche 1.

Decoupling shall provide sufficient current for the devices. This includes high peak current requirements during device switching. The printed board power system shall provide this current without lowering the input supply voltage below its required minimum level. When the stored energy on the board is insufficient, capacitors are placed near the devices, connected between the power and ground planes to provide this current. The capacitors provide the charge current to the device instead of the power planes. When they discharge their current into the device they quickly recharge from energy stored in slower discharging capacitors in time for the next discharge.

## 4 Design of controlled impedance circuits

In cases where high-speed signals are being transmitted, the signal conductors may need to be considered as transmission lines. This means, as a minimum, specifying the characteristic impedance of those lines. Since transmission lines should be terminated in their own impedance, a designer shall provide for termination resistors.

The tolerance and value of termination resistors shall be chosen to match the line and design requirements. The following should be considered:

- a) termination resistors (for each signal line) increase density and complexity;
- b) placement should be made so that signals travel the shortest path from source (driver) to load (termination);
- c) printed board technology shall be capable of controlling impedance;
- d) minimum component to component spacing may eliminate the need for controlled impedance lines but may increase conductor density.

Placing high-speed components close together might reduce the need for transmission line parameters and reduce cross-talk problems. It may also result in thermal management problems and increase the number of layers in a printed board due to increased density. Increasing the spacing will reduce the thermal problems but could add cross-talk and impedance restrictions. In high-speed design there are many considerations. It is the role of the circuit designer to understand the system specifications and weigh the alternatives to provide the simplest, cost effective, reliable solution for meeting those specifications, including the selection of the best printed wiring or discrete wiring board features (see also 3.4.5.2 and 3.4.8).

### 4.1 Configurations

A microstrip line consists of a line separated from an "infinite" reference plane by a layer of dielectric. In the simplest case, the conductor is on the surface of an outer layer where the conductor is surrounded by air ( $\epsilon_r = 1,0$ ) on the top and edges and on the bottom by a solid dielectric.

The discrete wiring board is another example of an embedded microstrip construction. The discrete wire is embedded in a dielectric and encapsulated by more solid dielectric.

A special case of the microstrip is the embedded microstrip line where the line is buried some distance beneath the surface of the board, surrounded by solid dielectric. The buried microstrip has a single reference plane separated by a layer of dielectric. One case of the buried microstrip is where outer layer circuitry is covered by soldermask material on layer 1.

Les cartes à câblage discret sont souvent construites selon des configurations de ligne triplaques dans lesquelles une ou plusieurs couches de câblage sont encastrées dans un diélectrique solide entre deux plans de référence (infinis). Une ligne triplaque est une ligne encastrée dans un diélectrique solide entre deux plans de référence (infinis).

Il existe deux variations de ce type de configuration, l'une dans laquelle la ligne triplaque est centrée entre les plans de référence et l'autre dans laquelle les lignes tripliques ne sont pas centrées de telle manière que l'influence des plans de référence n'est pas égale, mais proportionnelle aux distances.

Les conceptions relatives à la capacité et à l'impédance contrôlées utilisent des calculs pouvant prédire la capacité d'un conducteur ainsi que l'impédance. Les équations sont fondées sur un travail empirique et sont uniques pour les différentes configurations.

## 4.2 Equations

$Z_0$  représente l'impédance en ohms.  $C_0$  représente la capacité par unité de longueur. Les configurations sont indiquées dans la figure 4.

### 4.2.1 Microligne de transmission de surface

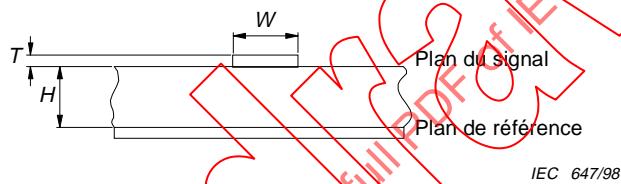


Figure 4 – Microligne de transmission de surface

$$Z_0 = 87 \left[ \ln \frac{5,98 H}{0,8 W + T} \right] \left( \frac{1}{\sqrt{\epsilon_r + 1,41}} \right) \quad (\Omega)$$

$$C_0 = \frac{0,67 (\epsilon_r + 1,41)}{\ln \frac{5,98 H}{0,8 W + T}} \quad (\text{pF/mm})$$

où

$W$  est la largeur de la ligne;

$T$  est l'épaisseur de la ligne;

$H$  est la séparation diélectrique entre la ligne et le plan de référence;

$\epsilon_r$  est la permittivité relative (constante diélectrique).

Discrete wiring boards are often constructed in stripline configurations where one or more wiring layers are embedded in solid dielectric between two "infinite" reference planes. A stripline is a line that is embedded in solid dielectric between two "infinite" reference planes.

There are two variations of this configuration, one where the stripline is entered between the reference planes and the second where the striplines are not entered so that the influence of the reference planes is not equal, but proportional to the distances.

Designs for controlled capacitance and impedance use calculations that can predict the capacitance of a conductor as well as the impedance. The equations are based on empirical work and are unique for different configurations.

## 4.2 Equations

$Z_0$  is the impedance in ohms.  $C_0$  is the capacitance per unit length. Configurations are shown in figure 4.

### 4.2.1 Surface microstrip

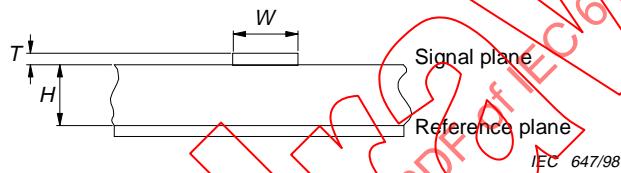


Figure 4 – Surface microstrip

$$Z_0 = 87 \left( \ln \frac{5,98 H}{0,8 W + T} \right) \frac{1}{\sqrt{\epsilon_r + 1,41}} \quad (\Omega)$$

$$C_0 = \frac{0,67(\epsilon_r + 1,41)}{\ln \frac{5,98 H}{0,8 W + T}} \quad (\text{pF/mm})$$

where

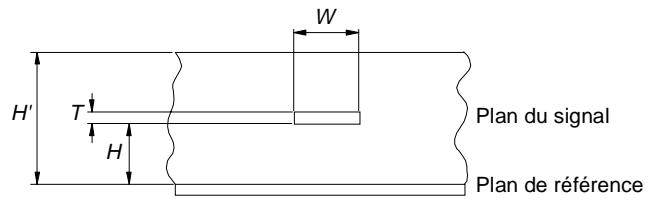
$W$  is the line width;

$T$  is the line thickness;

$H$  is the dielectric spacing between line and reference plane;

$\epsilon_r$  is the relative permittivity (dielectric constant).

#### 4.2.2 Microligne de transmission encastrée



IEC 648/98

**Figure 5 – Microligne de transmission encastrée**

$$Z_0 = 87 \left( \ln \frac{5,98 H}{0,8 W + T} \right) \left( \frac{1}{\sqrt{\varepsilon_r + 1,41}} \right) \quad (\Omega)$$

$$C_0 = \frac{1}{(H+T) \left[ \ln \left( 1 - 0,6897 (\varepsilon_r + 1,41) \right) \right] \sqrt{\varepsilon_r}} \quad (\text{pF})$$

où

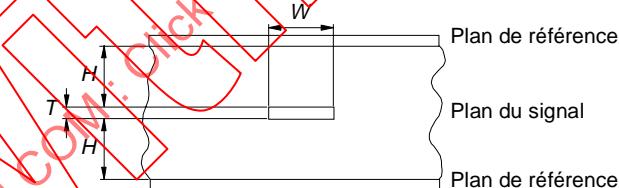
$W$  est la largeur de la ligne;

$T$  est l'épaisseur de la ligne;

$H$  est l'espacement diélectrique entre la ligne et le plan de référence;

$\varepsilon_r$  est la permittivité relative (constante diélectrique).

#### 4.2.3 Ligne triplaqué symétrique



IEC 649/98

**Figure 6 – Ligne triplaqué symétrique**

$$Z_0 = 60 \ln \left( \frac{1,9(2H+T)}{0,8 W + T} \right) \left( \frac{1}{\sqrt{\varepsilon_r}} \right) \quad (\Omega)$$

$$C_0 = \frac{1,41 \varepsilon_r}{\ln \frac{3,81 H}{0,8 W + T}} \quad (\text{pF})$$

où

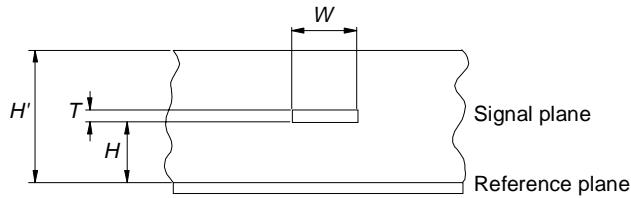
$W$  est la largeur de la ligne;

$T$  est l'épaisseur de la ligne;

$H$  est l'espacement diélectrique entre les plans de référence;

$\varepsilon_r$  est la permittivité relative (constante diélectrique).

#### 4.2.2 Embedded microstrip



IEC 648/98

Figure 5 – Embedded microstrip

$$Z_0 = 87 \left( \ln \frac{5,98 H}{0,8 W + T} \right) \left( \frac{1}{\sqrt{\varepsilon_r + 1,41}} \right) \quad (\Omega)$$

$$C_0 = \frac{1}{(H+T) \left[ \ln \left( 1 - 0,6897(\varepsilon_r + 1,41) \right) \right] \sqrt{\varepsilon_r}} \quad (\text{pF})$$

where

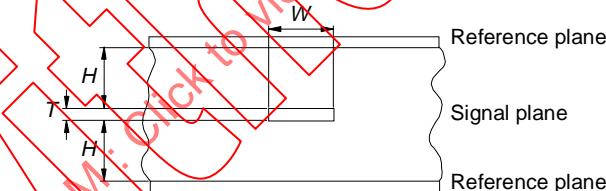
$W$  is the line width;

$T$  is the line thickness;

$H$  is the dielectric spacing between line and reference plane;

$\varepsilon_r$  is the relative permittivity (dielectric constant).

#### 4.2.3 Symmetric stripline



IEC 649/98

Figure 6 – Symmetric stripline

$$Z_0 = 60 \ln \left( \frac{1,9 (2H + T)}{0,8 W + T} \right) \left( \frac{1}{\sqrt{\varepsilon_r}} \right) \quad (\Omega)$$

$$C_0 = \frac{1,41 \varepsilon_r}{3,81 H} \quad \ln \frac{1,41 \varepsilon_r}{0,8 W + T} \quad (\text{pF})$$

where

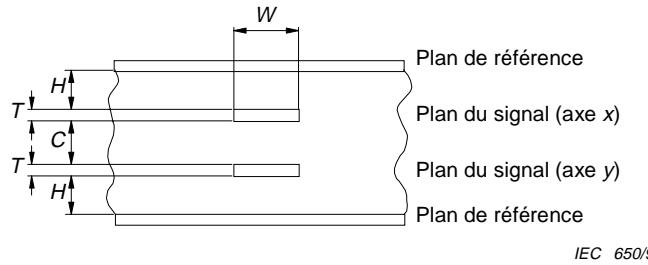
$W$  is the line width;

$T$  is the line thickness;

$H$  is the dielectric spacing between reference planes;

$\varepsilon_r$  is the relative permittivity (dielectric constant).

#### 4.2.4 Ligne triplaqué double (asymétrique)



**Figure 7 – Ligne triplaqué double (asymétrique)**

$$Z_0 = 80 \left( \ln \frac{1,9 (2H + T)}{0,8 W + T} \right) \left( 1 - \frac{H}{4 (H + C + T)} \right) \left( \frac{1}{\sqrt{\epsilon_r}} \right) \quad (\Omega)$$

$$C_0 = \frac{2,82 \epsilon_r}{\ln \frac{2H - T}{0,268 W + 0,335 T}} \quad (\text{pF})$$

où

$W$  est la largeur de la ligne;

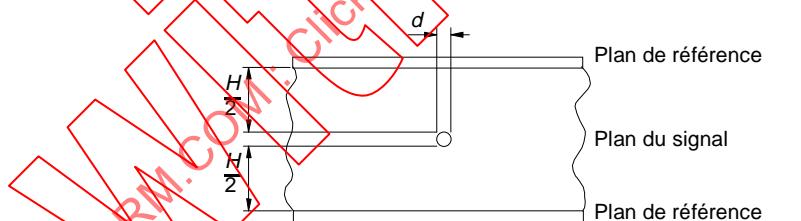
$T$  est l'épaisseur de la ligne;

$C$  est l'espacement diélectrique entre les couches de signal;

$H$  est l'espacement diélectrique entre le plan du signal et les plans de référence;

$\epsilon_r$  est la permittivité relative (constante diélectrique).

#### 4.2.5 Ligne triplaqué filaire



**Figure 8 – Ligne triplaqué filaire**

$$Z_0 = \frac{138}{\sqrt{\epsilon_r}} \ln \frac{4H}{\pi d} \quad (\Omega)$$

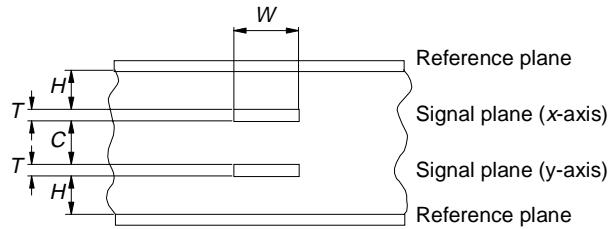
où

$d$  est le diamètre du fil;

$H$  est l'espacement diélectrique entre le plan de référence et le fil;

$\epsilon_r$  est la permittivité relative (constante diélectrique).

#### 4.2.4 Dual (asymmetric) stripline



IEC 650/98

Figure 7 – Dual (asymmetric) stripline

$$Z_0 = 80 \left( \ln \frac{1,9 (2H + T)}{0,8 W + T} \right) \left( 1 - \frac{H}{4 (H + C + T)} \right) \left( \frac{1}{\sqrt{\epsilon_r}} \right) \quad (\Omega)$$

$$C_0 = \frac{2,82 \epsilon_r}{\ln \frac{2H - T}{0,268 W + 0,335 T}} \quad (\text{pF})$$

where

$W$  is the line width;

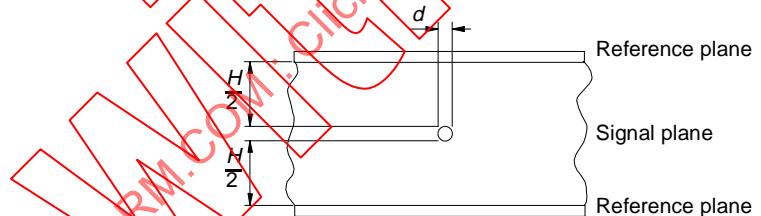
$T$  is the line thickness;

$C$  is the dielectric spacing between signal layers;

$H$  is the dielectric spacing between signal and reference planes;

$\epsilon_r$  is the relative permittivity (dielectric constant).

#### 4.2.5 Wire stripline



IEC 651/98

Figure 8 – Wire stripline

$$Z_0 = \frac{138}{\sqrt{\epsilon_r}} \ln \frac{4H}{\pi d} \quad (\Omega)$$

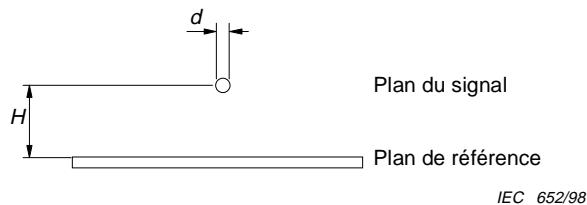
where

$d$  is the wire diameter;

$H$  is the dielectric spacing between the reference plane and the wire;

$\epsilon_r$  is the relative permittivity (dielectric constant).

#### 4.2.6 Microligne de transmission filaire



**Figure 9 – Microligne de transmission filaire**

$$Z_0 = \frac{138}{\sqrt{\epsilon_r}} \ln \frac{4H}{\pi d} \quad (\Omega)$$

où

$d$  est le diamètre du fil;

$H$  est l'espacement diélectrique entre le plan de référence et le fil;

$\epsilon_r$  est la permittivité relative (constante diélectrique).

#### 4.3 Règles de conception d'impédance contrôlée

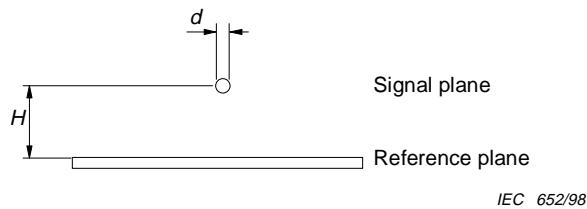
Lorsque l'on envisage une conception d'impédance contrôlée, le temps de propagation, le bruit dû aux impulsions à temps de montée rapide et la diaphonie sont pris en compte. L'impédance comprise entre  $50 \Omega$  à  $70 \Omega$  est souvent utilisée dans la mesure où des valeurs d'impédance plus réduites peuvent provoquer une diaphonie excessive et augmenter la puissance consommée en raison de la mauvaise adaptation de l'impédance de la charge. Les impédances comprises entre  $50 \Omega$  et  $70 \Omega$  permettent non seulement d'obtenir des valeurs de diaphonie plus élevées, mais aussi de créer des circuits présentant une plus grande sensibilité aux interférences électromagnétiques (EMI) et un rayonnement EMI plus faible. Les dispositifs, en général, présentent des valeurs d'impédance plus faibles qui doivent être adaptées par l'intermédiaire des interconnexions de carte.

Les valeurs d'impédance élevées dans la carte nécessitent des lignes fines et/ou un diélectrique épais et les limites pratiques sont rapidement atteintes (lignes 0,1 mm/diélectrique 0,5 mm, etc.) pour les cartes à circuits imprimés. Les cartes à câblage discret offrent une autre possibilité de réaliser des interconnexions à haute densité respectant les contraintes physiques pratiques de la carte. Le câble discret uniforme ( $\pm 2,5 \mu\text{m}$ ) fournit également des valeurs d'impédance cohérentes tout au long du signal et sur toute la surface de la carte.

Une impédance de ligne requise peut être obtenue en fonction de l'interaction de plusieurs paramètres:

- section transversale du conducteur – une impédance plus faible avec une ligne plus large, des conducteurs plus fins, particulièrement sur les couches externes sont sensibles à la largeur, en raison de la métallisation et de la gravure utilisées pour les cartes PTH double face et multicouches;
- type de ligne – pour un espacement  $\epsilon_r$  et une largeur de conducteur donnés, la valeur de l'impédance sera plus élevée pour une microligne de transmission que pour une ligne triplaqué;
- $\epsilon_r$ , permittivité relative (constante diélectrique) – une  $\epsilon_r$  plus élevée donne lieu à une valeur d'impédance plus faible tout en augmentant le temps de propagation;
- épaisseur diélectrique entre le signal et la masse – impédance plus faible pour une épaisseur plus réduite;
- utiliser la plus petite épaisseur de cuivre autorisée en respectant les autres prescriptions de conception. Les valeurs d'impédance diminuent tandis que l'épaisseur de cuivre augmente;

#### 4.2.6 Wire microstrip



**Figure 9 – Wire microstrip**

$$Z_0 = \frac{138}{\sqrt{\epsilon_r}} \ln \frac{4H}{\pi d} \quad (\Omega)$$

where

$d$  is the wire diameter;

$H$  is the dielectric spacing between the reference plane and the wire;

$\epsilon_r$  is the relative permittivity (dielectric constant).

#### 4.3 Controlled impedance design rules

When considering a controlled impedance design, propagation delay, noise due to the fast rise time pulses and cross-talk are taken into account. Impedance in the 50 Ω to 70 Ω range is often used in that lower impedance values can cause excessive cross-talk and increase power consumed due to load mismatch. Impedances within the 50 Ω to 70 Ω not only permit higher cross-talk values, but produce circuits with greater electro-magnetic interference (EMI) sensitivity and lower EMI radiation. Devices, in general, have lower impedance values that shall be matched by the board interconnections.

High impedance values in the board require fine lines and/or thick dielectric and practical limits are quickly reached (0,1 mm lines/0,5 mm dielectric, etc.) for printed circuit boards. Discrete wire boards offer an alternative to accomplish high density interconnects within practical board physical constraints. The uniform ( $\pm 2,5 \mu\text{m}$ ) discrete wiring also provides consistent impedance values throughout the signal length and over the entire board area.

Required line impedance can be achieved as a function of the interaction of several parameters:

- a) conductor cross-section – lower impedance with wider line, finer conductors, particularly on outer layers are sensitive to width, due to plating and etching used in PTH double sided and multilayer boards;
- b) type of line – for a given  $\epsilon_r$  spacing and conductor width, impedance value will be greater for a microstrip than for a stripline;
- c)  $\epsilon_r$ , relative permittivity (dielectric constant) – higher  $\epsilon_r$  results in a lower impedance value while increasing propagation time;
- d) dielectric thickness between signal and ground – lower impedance for smaller thickness;
- e) use thinnest copper allowable consistent with other design requirements. Impedance values decrease as the copper thickness increases;

- f) maintenir les conducteurs d'impédance contrôlée à 2,5 mm au moins du bord du plan de référence;
- g) éviter de placer des conducteurs contrôlés sur des zones dépourvues de cuivre dépassant 5,0 mm<sup>2</sup>;
- h) effectuer un routage des conducteurs critiques sur les couches internes entre les plans de référence ou les couches externes enterrées;
- i) éviter les constructions (extrêmes) telles que les constructions à conducteurs fins ou carte épaisse;
- j) placer des coupons d'essai dans la zone du circuit ou utiliser un conducteur actif avec des points de référence adjacents;
- k) fournir des données pour le dessin de base sous forme numérique, et non sous forme de couche tracée;
- l) utiliser des codes de conducteur différents pour chaque valeur d'impédance contrôlée sur chaque couche de signal;
- m) tenir compte de l'épargne (c'est-à-dire masque de brasure) dans la conception de la microligne triplaqué de surface;
- n) prévoir des tolérances plus larges pour chaque dimension et paramètre;
- o) donner au fabricant la liberté de modifier les paramètres afin de respecter les tolérances spécifiées.

#### 4.4 Règles de diaphonie

Plusieurs règles peuvent être utilisées pour contrôler la diaphonie. Les techniques les plus courantes utilisées pour réduire les effets de diaphonie dans les circuits à haute densité sont les suivantes:

- a) regrouper les familles logiques géographiquement. Limiter les conducteurs de signal à ces zones pour chaque famille logique;
- b) fournir des trajets de retour séparés pour chaque famille logique, diviser les plans d'alimentation;
- c) placer les composants à l'écart du connecteur entrée/sortie par ordre décroissant de vitesse, utiliser des défillements de conducteurs courts en direction de l'entrée/sortie rapide;
- d) fermer les conducteurs d'impédance contrôlée pour réduire les réflexions;
- e) limiter l'utilisation et la longueur des conducteurs parallèles;
- f) spécifier et contrôler l'espacement entre conducteurs;
- g) placer les composants à proximité les uns des autres pour minimiser les longueurs et le parallélisme des conducteurs;
- h) permittivité relative plus basse;
- i) réduire l'espacement entre le signal et la masse;
- j) isoler les couches de signal les unes des autres en intégrant les couches d'alimentation et de masse;
- k) effectuer un routage orthogonal des couches de signal adjacentes;
- l) isoler les émetteurs de bruit tels que les horloges, les interconnexions entrée/sortie de communications rapides, de bus rapides sur des couches séparées à l'aide de séparateurs d'alimentation/masse ou au niveau des zones isolées de la carte;
- m) agrandir l'espacement des conducteurs;
- n) réduire l'impédance de la ligne;
- o) réduire le niveau de signal;
- p) intercaler les conducteurs de signal et les conducteurs de masse.

- f) keep controlled impedance conductors at least 2,5 mm from the edge of the reference plane;
- g) avoid placing controlled conductors over copper void areas greater than 5,0 mm<sup>2</sup>;
- h) route critical conductors on inner layers between reference planes or buried outer layers;
- i) avoid "extreme" builds such as fine conductors or thick board construction;
- j) place test control coupons in the circuit area or use active conductors with adjacent reference points;
- k) supply data for artwork in digital form, not plotted film;
- l) use different conductor codes for each controlled impedance value on each signal layer;
- m) allow for resist (i.e. solder mask) in surface microstripline design;
- n) allow for widest tolerances for each dimension and parameter;
- o) give the fabricator latitude to vary parameters in order to meet the specified tolerances.

#### 4.4 Cross-talk rules

Several rules can be used to control cross-talk. The most common techniques of reducing cross-talk effects in high density circuits are as follows:

- a) group logic families geographically. Restrict signal conductors for each logic family to those areas;
- b) provide separate return paths for each logic family; split power planes;
- c) place components away from I/O connector in descending order of speed, use short conductor runs to high-speed I/O;
- d) terminate controlled impedance conductors to reduce reflections;
- e) limit use and length of parallel conductors;
- f) specify and control conductor to conductor spacing;
- g) place components close together to minimize conductor lengths and parallelism;
- h) lower the relative permittivity;
- i) reduce the signal to ground spacing;
- j) isolate signal layers from each other by interspersing with power and ground layers;
- k) route adjacent signal layers orthogonally;
- l) isolate noise emitters such as clocks, high-speed communications I/O and high-speed bus interconnect on separate layers with power/ground separators or in isolated area of the board;
- m) increase conductor spacing;
- n) reduce the line impedance;
- o) reduce the signal level;
- p) interspace signal/conductors with ground conductors.

#### 4.4.1 Application de la diaphonie

Au niveau de la conception de la carte imprimée, l'impact de l'application des règles de diaphonie intégrera les éléments suivants:

- a) des plans d'alimentation et de masse multiples sont nécessaires;
- b) complexité accrue due à l'ajout de terminaisons et au placement de composants à haute densité;
- c) critères de routage de signal sélectifs.

Ces éléments peuvent augmenter considérablement la complexité et imposer des limitations aux techniques de carte à circuit disponibles.

En général, une carte présente une densité de dispositifs à puce aussi élevée que possible pour minimiser la taille de la carte et réduire le temps de propagation. Ainsi, les conducteurs sont disposés à proximité les uns des autres et généralement le concepteur doit avoir recours à des cartes multicouches pour arriver à intégrer la densité d'interconnexion élevée et les croisements dans le plan de câblage.

#### 4.5 Règles de conception de coupon

Les règles de conception de coupons d'essai sont les suivantes:

- a) utiliser une largeur de ligne, un poids de cuivre, une épaisseur diélectrique et un type diélectrique identiques à la carte;
- b) fournir une alimentation/masse continue sous le conducteur gravé. Les plans de référence (alimentation/masse) doivent être continus sans coupures, vides, déchirures ou interruptions au niveau de la zone du coupon;
- c) localiser les coupons représentant des conditions de métallisation, stratification et gravure moyennes;
- d) utiliser une valeur de ligne de conducteur d'impédance contrôlée par couche;
- e) une seule valeur d'impédance contrôlée est autorisée pour chaque conducteur gravé;
- f) utiliser les mêmes prescriptions de masque de brasure pour la carte et le coupon;
- g) aucun matériau conducteur n'est autorisé dans un rayon de 2,5 mm du coupon d'essai (autres conducteurs, volets de cuivre, etc);
- h) les plans de référence sont interconnectés dans la zone du coupon et doivent être isolés du reste de la zone de circuit (division de puissance);
- i) toutes les couches doivent être identifiées sur la couche 1 à chaque extrémité du conducteur gravé;
- j) les éléments conducteurs doivent être éloignés de plus de 2,5 mm des conducteurs d'essai. Les éléments non conducteurs sont autorisés dans la zone du coupon;
- k) on admet que les points de référence d'alimentation/de masse soient identifiés par des pastilles carrées;
- l) des coupons d'essai d'impédance contrôlée ne pouvant pas être conçus dans la zone de circuit finie doivent laisser suffisamment d'espace pour le code vendeur, le code de date, le numéro de série et le numéro de pièce;
- m) les conducteurs d'impédance contrôlée gravés dans le coupon d'essai doivent être droits sauf à une distance de 12,5 mm de la zone du point d'essai où des courbures sont susceptibles d'être nécessaires;
- n) les zones de décharge thermique ne sont pas autorisées comme connexion d'alimentation/de masse dans la zone du coupon;
- o) lorsque des conducteurs gravés sur des couches adjacentes sont acheminés orthogonalement, une impression doit être ajoutée au coupon pour simuler les croisements. L'impression doit être identique à la ligne de conducteur conçue et aux croisements intégrés;

#### 4.4.1 Cross-talk implementation

The impact on printed board design due to implementation of the cross-talk rules will include:

- a) multiple power and ground planes are required;
- b) added complexity due to the addition of terminations and dense component placement;
- c) selective signal routing criteria.

These can greatly increase complexity and place limitations on the available circuit board technology.

In general, a board is populated as densely as possible with chip devices to minimize the size of the board and reduce propagation time. The result is that conductors run close to each other and usually the designer shall resort to multilayer boards to handle the high interconnect density and the cross-overs in the wiring plan.

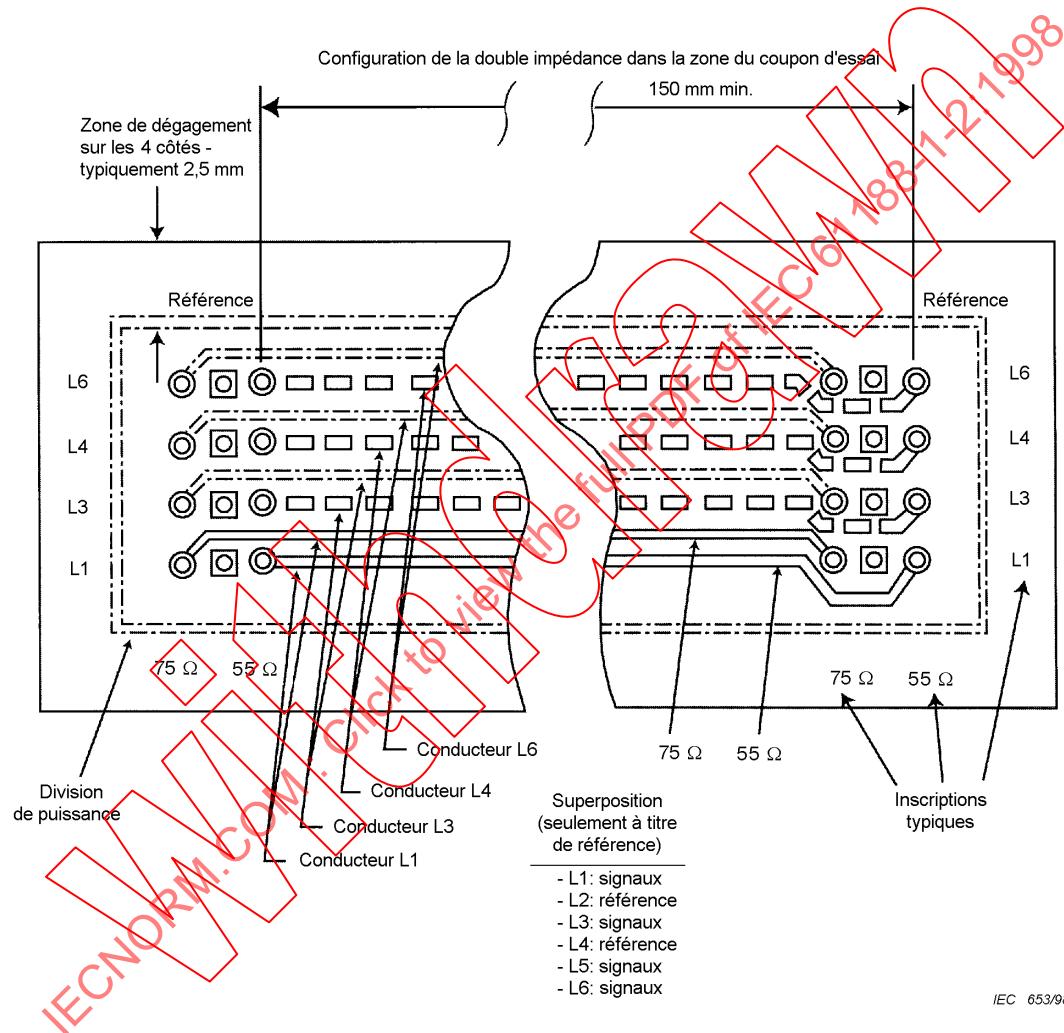
#### 4.5 Coupon design rules

The following are rules for designing test coupons:

- a) use the same line width, copper weight, dielectric thickness, and dielectric type as the board;
- b) have a continuous power/ground under the etched conductor. Reference planes (power/ground) shall be continuous without breaks, voids, splits or interruptions in the coupon area;
- c) locate coupons where they represent average plating, lamination, and etching conditions;
- d) use one value of controlled impedance conductor line per layer;
- e) only one controlled impedance value per etched conductor is allowed;
- f) use the same soldermask requirements for the board and the coupon;
- g) no conductive material allowed within 2,5 mm of the test coupon (other conductors, copper robbers, etc);
- h) reference planes are to be interconnected in the coupon area and shall be isolated from the rest of the circuit area (power split);
- i) all layers shall be identified on layer 1 at each end of the etched conductor;
- j) conductive nomenclature shall be more than 2,5 mm away from test conductors. Non-conductive nomenclature is permitted within the coupon area;
- k) square lands may identify power/ground reference points;
- l) controlled impedance test coupons that cannot be designed within the finished circuit area shall provide sufficient area for vendor code, date code, serial number and part number;
- m) controlled impedance conductors in the test coupon shall be straight except within 12,5 mm of the test point area where bends may be required;
- n) thermal relief lands are not allowed to be connected with the power/ground layer in the coupon area;
- o) when conductors on adjacent layers are routed orthogonally, a pattern shall be added to the coupon that simulates the cross-overs. The pattern shall be the same as the designed conductor line and cross-overs incorporated;

- p) le dégagement entre le conducteur d'impédance contrôlée et l'impression doit être de 0,25 mm et la longueur de l'impression doit être égale à 2,5 mm;
- q) la longueur minimale du conducteur d'impédance contrôlée entre les deux points d'essai doit être égale à 150 mm;
- r) quand deux conducteurs sont parallèles sur la même couche du coupon d'essai, l'espacement minimal entre leurs deux centres doit être de 2,5 mm;
- s) il doit exister des points d'essai et des points de référence (trous et pastilles PTH) à chaque extrémité de la ligne d'essai.

La figure 10 montre un exemple de coupon d'essai séparé suivant les règles ci-dessus.



**Figure 10 – Coupon d'essai d'impédance contrôlée**

- p) the clearance from the controlled impedance conductor to the pattern shall be 0,25 mm and the pattern length shall be 2,5 mm;
- q) the minimum controlled impedance conductor length between the two test points shall be 150 mm;
- r) when two conductors are parallel on the same layer of the test coupon, the minimum centre-to-centre spacing between them shall be 2,5 mm;
- s) there shall be test points and reference points (PTH holes and lands), at each end of the test line.

Figure 10 shows an example of a separate test coupon per the rules above.

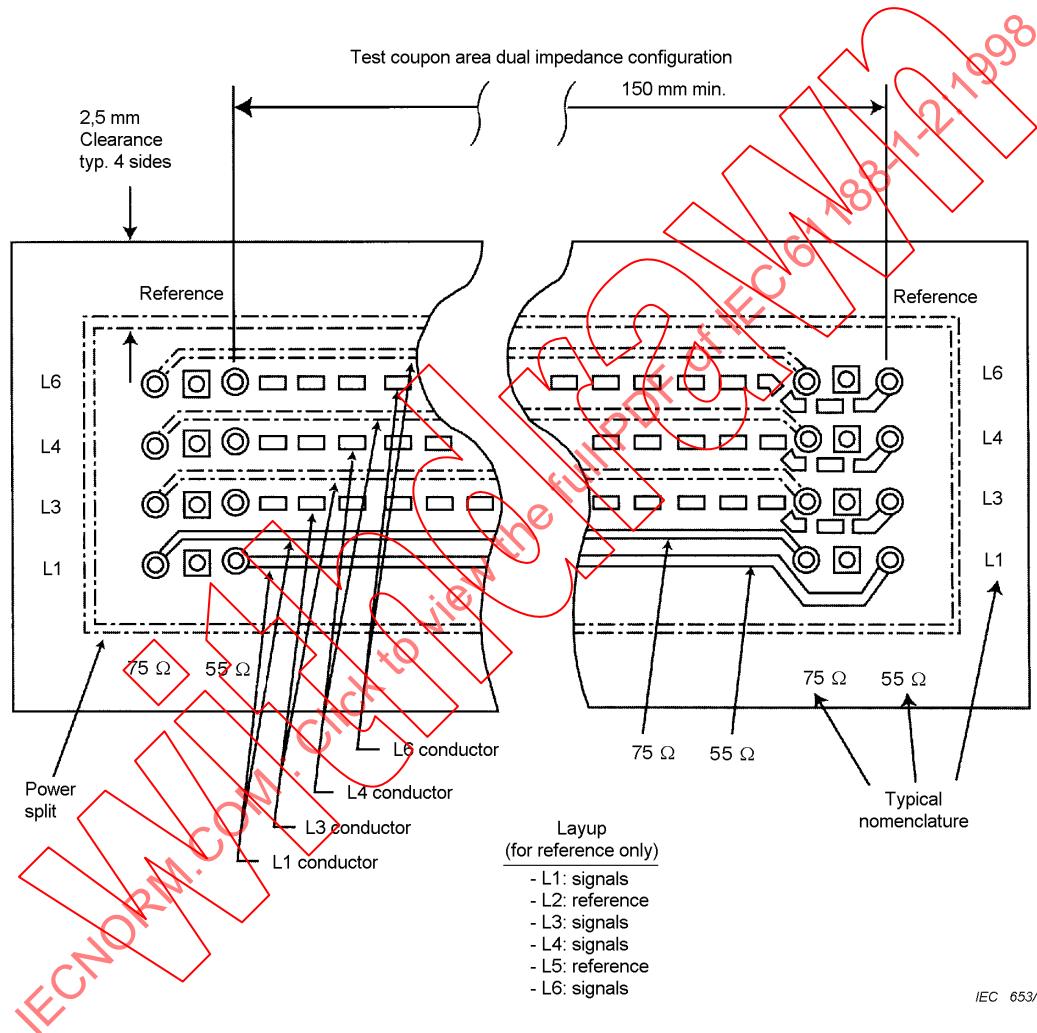


Figure 10 – Controlled impedance test coupon

La figure 11 présente une impression de sonde d'essai privilégiée pour l'essai pratiqué sur un conducteur d'impédance contrôlée.

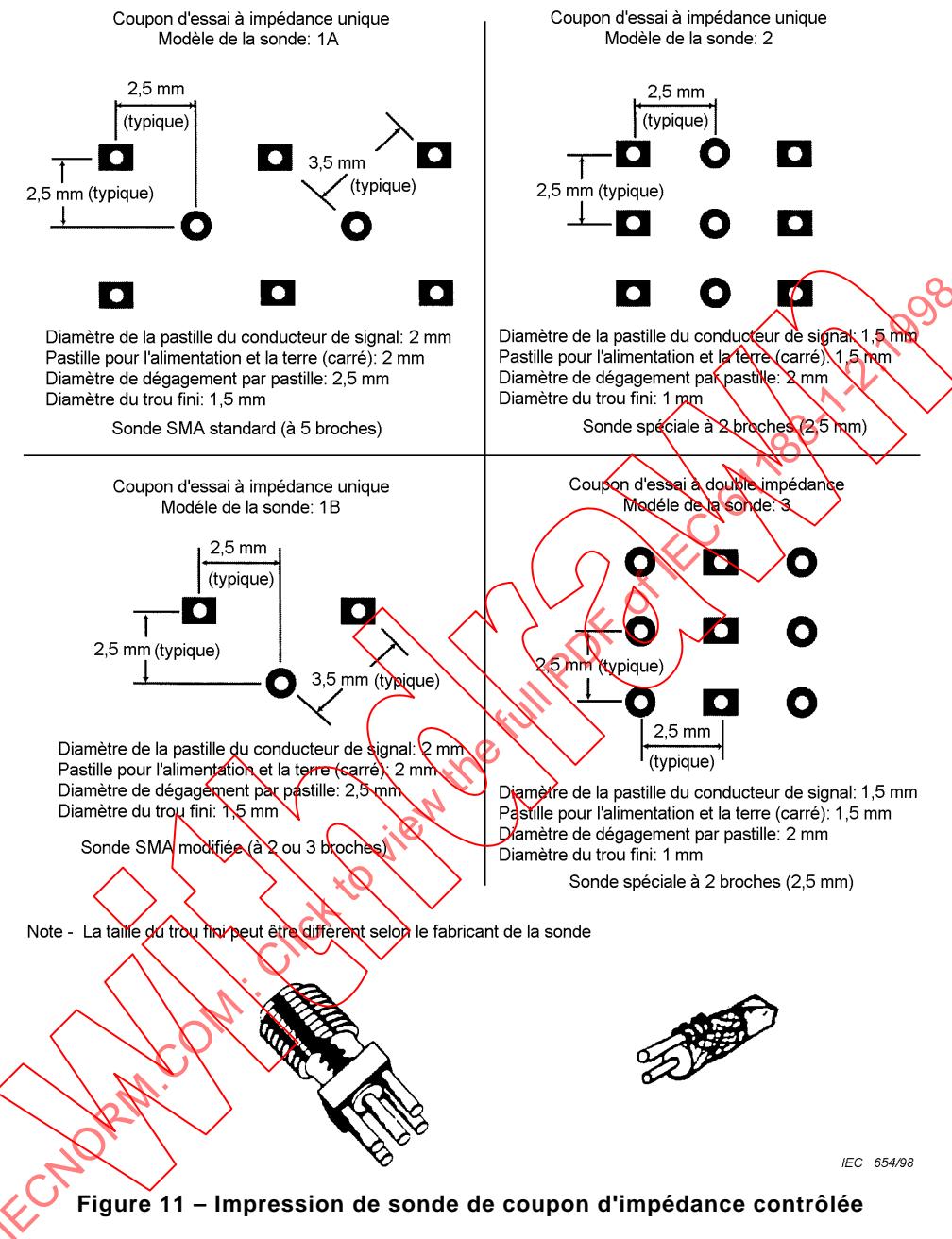


Figure 11 – Impression de sonde de coupon d'impédance contrôlée

## 4.6 Règles relatives au découplage/condensateur

### 4.6.1 Capacité de découplage

Les condensateurs de découplage fournissent du courant aux dispositifs jusqu'à ce que l'alimentation puisse répondre. On admet que la commutation à haute fréquence puisse être composée d'un large spectre de fréquences de courant sur le même sous-ensemble. Cela peut nécessiter la combinaison de différents types de condensateurs. Une seule valeur ou un seul type de condensateur ne peut généralement pas fournir de fréquence aussi large.

Figure 11 shows a preferred test probe pattern for controlled impedance conductor testing.

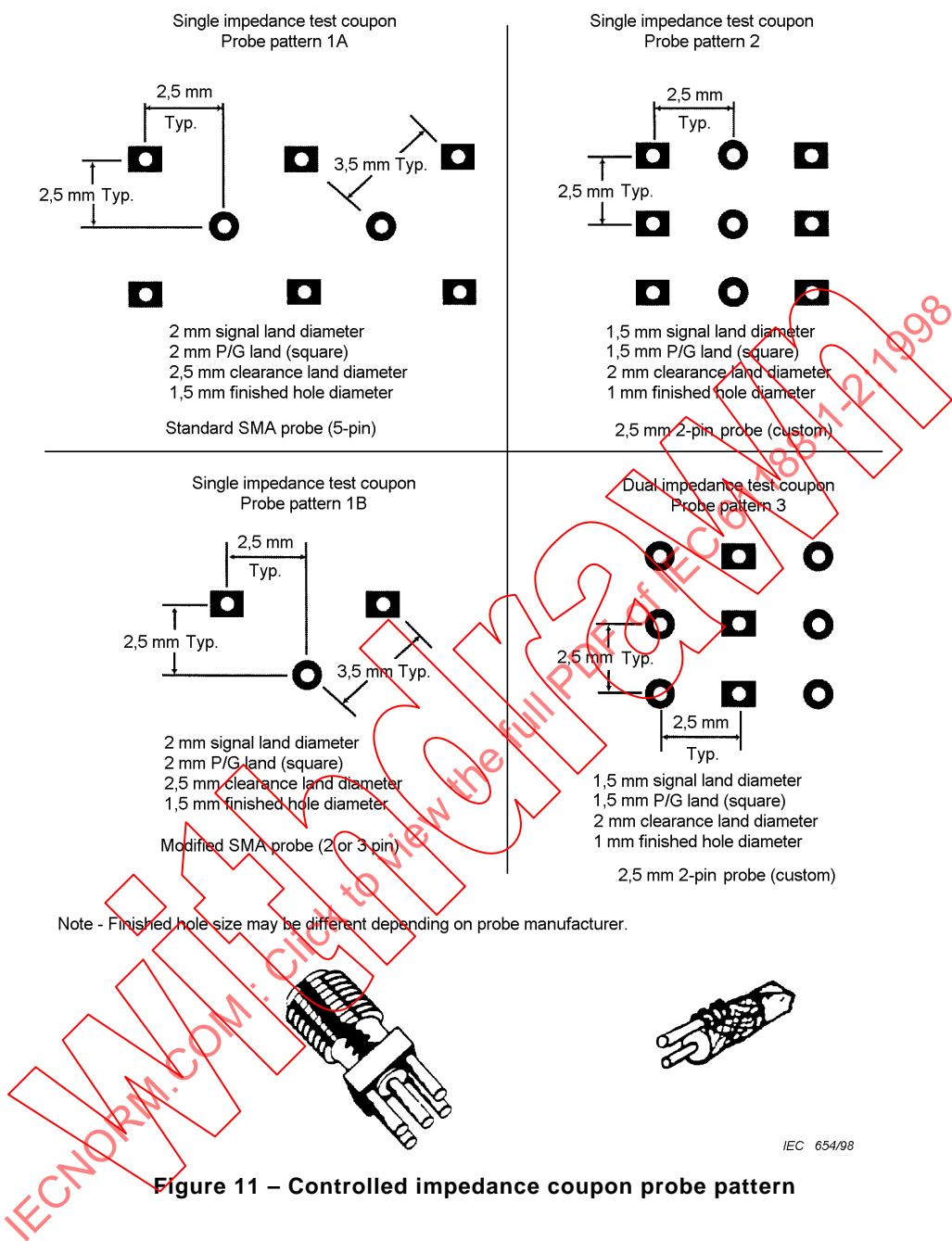


Figure 11 – Controlled impedance coupon probe pattern

## 4.6 Decoupling/capacitor rules

### 4.6.1 Decoupling capacitance

Decoupling capacitors provide current to devices until the power supply can respond. High frequency switching may be composed of a broad spectrum of current frequencies on the same assembly. This may require a combination of capacitor types. A single capacitor value or type cannot generally provide such a broad frequency.

#### 4.6.2 Considération de capacité transitoire

La capacité transitoire de commutation fournit une énergie très rapide pour charger les sections de sortie du dispositif au cours d'une transition du signal de sortie. Il s'agit typiquement des composantes de plus grande vitesse de la forme d'onde, nécessitant l'énergie la plus faible. Dans les dispositifs très rapides, la capacité de découplage est susceptible de devoir être incorporée dans le boîtier pour minimiser l'inductance de la sortie entre la capacité et le dispositif, ou d'être localisée à proximité. Si l'on dispose d'une quantité d'énergie insuffisante, le temps de transition du signal se dégradera avant de quitter le boîtier du dispositif.

#### 4.6.3 Capacité de chargement de ligne

La capacité de chargement de ligne fournit un courant de commutation permettant de charger la ligne du signal après que le signal a atteint les lignes. Le courant de charge est nécessaire jusqu'à ce que la ligne atteigne son état de repos. Si l'on fournit une capacité/un courant suffisant le temps de transition de bord se dégradera.

Deux types de capacité de chargement de ligne sont nécessaires: un pour les lignes capacitatives et un pour les lignes de transmission. Le chargement d'une ligne capacitive nécessite un taux de chargement relativement plus lent qu'une ligne de transmission, davantage de courant doit être fourni. Une ligne de transmission nécessite une impulsion plus lente, mais généralement plus longue pour conserver la ligne en charge jusqu'à ce que toutes les réflexions soient terminées.

#### 4.6.4 Capacité (totale) basse fréquence

La capacité basse fréquence est souvent qualifiée de capacité totale. Cette capacité est utilisée pour recharger les plans d'alimentation et les condensateurs de charge de fréquence plus élevée, et elle fournit un courant de commutation selon les exigences de fréquence plus basse.

#### 4.6.5 Modèle de condensateur

Les condensateurs dotés de sorties plus courtes fournissent du courant plus rapidement car l'inductance de la sortie est beaucoup plus réduite. Dans les conceptions rapides, changer les condensateurs de découplage en remplaçant les condensateurs SMT avec sorties par des condensateurs sans sorties peut augmenter considérablement les performances du circuit.

#### 4.6.6 Règles de conception relatives au découplage/condensateur

- a) fournir à la carte un réseau de condensateurs doubles parallèles élevés/bas, généralement un condensateur électrolytique à forte capacité de stockage et un condensateur en céramique ou au tantalum pour haute fréquence, implanté au niveau des broches d'entrée de puissance;
- b) fournir des condensateurs de découplage locaux pour chaque dispositif, généralement de 0,1  $\mu\text{F}$  au minimum. Il n'est pas exclu que des dispositifs plus grands exigeant un courant plus élevé nécessitent plus d'un condensateur;
- c) utiliser des conducteurs plus larges pour les connexions d'alimentation et de masse, réduisant le couplage haute fréquence. Pour le découplage SMT, connecter le dispositif au condensateur par l'intermédiaire de conducteurs larges;
- d) utiliser des connexions courtes ou larges aux broches d'alimentation et de masse, réduisant les effets inductifs;
- e) utiliser une feuille de surface étendue présentant de multiples connexions traversantes à l'alimentation et à la masse, réduisant ainsi les effets inductifs et fournissant une zone plus étendue que les connexions traversantes parallèles;

#### 4.6.2 Transient capacitance consideration

Switching transient capacitance provides very fast energy to charge the output sections of the device during an output transition. This typically is the highest speed content of the wave form and requires the least energy. In very high-speed devices, the decoupling capacitance may be required to be built into the package to minimize the lead inductance between the capacitance and the device, or located nearby. If insufficient energy is available, the signal transition time will degrade prior to leaving the device package.

#### 4.6.3 Line charging capacitance

Line charging capacitance provides switching current to charge the signal line after the signal reaches the line. The charge current is required until the line reaches its quiescent state. If insufficient capacitance/current is provided the edge transition time will degrade.

Two types of line charging capacitance are required: one for capacitive lines and one for transmission lines. Capacitive line charging requires a relatively slower charging rate than a transmission line, but shall provide more current. A transmission line requires a slower, but usually longer pulse to keep the line charged until all of the reflections are over.

#### 4.6.4 Low frequency (bulk) capacitance

Low frequency capacitance is often termed bulk capacitance. This capacitance is used to recharge power planes and higher frequency charging capacitors, and provides switching current to lower frequency requirements.

#### 4.6.5 Capacitor model

Capacitors with shorter leads provide current faster because the lead inductance is much lower. In high-speed designs changing the decoupling capacitors from leaded to leadless SMT capacitors can increase considerable the circuit performance.

#### 4.6.6 Decoupling/capacitor design rules

- a) provide a high/low parallel dual capacitor network for the board, usually an electrolytic capacitor with high storage capacity and a ceramic or tantalum capacitor for high frequency, located at the power input pins;
- b) provide local decoupling capacitors at each device, usually at least 0,1  $\mu\text{F}$ . Larger devices with higher current demands may require more than one capacitor;
- c) use wider conductors for power and ground connections, reducing high frequency coupling. For SMT decoupling, connect the device to the capacitor with wide conductors;
- d) use short or wide connections to power and ground pins, reducing the inductive effects;
- e) use large area surface foil with multiple via connections to power and ground, reducing the inductive effects and providing a larger surface area than parallel via connections provide;

- f) diviser l'utilisation du découplage proportionnellement au courant fourni aux dispositifs;
- g) séparer les familles logiques à l'aide de plans de découplage et d'alimentation distincts.

## 5 Conception relative à la fabrication

### 5.1 Règles de processus en CAO (conception assistée par ordinateur)

La conception de circuits rapides à haute fréquence, utilisant des systèmes de CAO ne se différencie pas significativement des conceptions traditionnelles hormis le fait que la largeur et l'espacement du conducteur, les voleurs de courant (auto-uniformisation) et les écrans voleurs de courant intégrés sont susceptibles d'être incorporés à la base de données. Les largeurs de conducteurs sont spécifiées pour certains filets afin d'assurer que les filets présentent les valeurs d'impédance ou de capacité correctes.

Les systèmes de CAO et les logiciels de routage pour câbles discrets assurent l'espacement des conducteurs à câbles, des longueurs de câbles contrôlées (longueurs des noeuds de filet et du filet entier) des longueurs de filet adaptées, des longueurs de filet minimales utilisant un routage simultanément orthogonal et diagonal ainsi que d'autres détails de routage conformes aux règles.

Les espacements de conducteurs sur tous les axes sont spécifiés pour garantir que les filets présentent un espacement correct par rapport aux autres filets pour un bruit/une diaphonie minimale.

L'auto-uniformisation, particulièrement sur les couches externes, fournit une impression de cuivre uniforme: la gravure et la métallisation de cuivre sont réparties régulièrement, et garantissent ainsi une largeur et une épaisseur uniformes du conducteur.

### 5.2 Complexité de la conception et corrélation avec le coût

La complexité de la conception des cartes rapides/haute fréquence peut être très réduite comme pour les lignes triplaques hyperfréquence ou microlignes de transmission ou au contraire très grande comme pour la carte à circuit multicouche à hautes performances.

Parmi les facteurs de coût relatifs aux cartes de capacité/d'impédance contrôlée, on distingue:

- a) une tolérance de fabrication plus serrée de la capacité/impédance que la normale engendrera généralement une augmentation de coût allant de 10 % à 15 %;
- b) spécifier des paramètres incitant les fournisseurs à contrôler les mesures mécaniques et électriques, c'est-à-dire l'épaisseur des couches diélectriques et la valeur de l'impédance pour cette couche;
- c) insister sur des valeurs multiples d'impédance/de capacité pour une même couche. Un taux de rejet et une quantité de déchets plus élevée en résultera car il est possible qu'une valeur soit acceptable alors qu'une autre ne s'inscrit pas tout à fait dans la gamme;
- d) ne pas autoriser le fournisseur à effectuer des réglages en fonction des processus du fournisseur: modification de la largeur de ligne, de l'espacement du diélectrique et choix du stratifié, par exemple.

## 6 Description des données

Il convient que les données comprennent les détails relatifs à la construction couche par couche ainsi que les données de conception du système de CAO. Combinés, il convient que les détails complets de fabrication de la carte incluent les valeurs nominales ainsi que les tolérances. Il convient d'intégrer à la description les paramètres physiques ainsi que les propriétés des matériaux.

- f) divide use of decoupling proportionally to current supplied to the devices;
- g) separate logic families with separate decoupling and power planes.

## 5 Design for manufacturing

### 5.1 Process rules in CAD

The design of high-speed, high frequency circuits, using CAD systems do not vary significantly from conventional designs except that conductor width, conductor spacing, and plating thieves or robber bars (auto thieving), and in-circuit robbers, may be added to the data base. Conductor widths are specified for certain nets to ensure that the nets have either the correct impedance or capacitance values.

Discrete wire CAD systems and routing software provide for wire conductor spacing, controlled wire lengths – both net nodes and entire net lengths – matched net lengths, minimum net lengths using concurrent orthogonal and diagonal routing, and other rules driven routing specifics.

Conductor spacings in all axes are specified to ensure that nets have proper spacing relative to other nets for minimum noise/cross-talk.

Auto thieving, particularly on outer layers, provides a uniform copper pattern so that copper etching and plating are evenly distributed, yielding even conductor width and thickness.

### 5.2 Design complexity and correlation to cost

Design of high-speed/high frequency boards can be very simple as in stripline or microstrip or can be very complex as in a high performance, multilayer circuit boards.

Among the cost drivers for controlled impedance/controlled capacitance boards are the following:

- a) tighter impedance/capacitance manufacturing tolerance will generally create increases in the cost, ranging from 10 % to 15 %;
- b) specifying parameters that cause suppliers to control both mechanical and electrical measurements, i.e. thickness of dielectric layers and impedance value for that layer;
- c) insisting on multiple impedance/capacitance values for the same layer. Increased rejection rate and scrap will result because one value may be acceptable while one value may be just out of range;
- d) not allowing the supplier to make adjustments that suit the suppliers processes such as altering conductor width, dielectric spacing or laminate choice.

## 6 Data description

Data should include the construction details on a layer by layer basis as well as the design data from the CAD system. Combined, the complete detail of the board fabrication should include the nominal values as well as the tolerances. Physical parameters as well as material properties should be included in the description.

## 6.1 Détails de construction

Pour obtenir une description complète, il convient d'intégrer aux données les éléments suivants, accompagnés des tolérances. Il convient de spécifier les tolérances, mesurées ou indiquées à titre de références:

- a) largeur du conducteur ainsi que la valeur de son impédance et/ou de sa capacité;
- b) épaisseur du conducteur;
- c) permittivité relative (constante diélectrique);
- d) épaisseur diélectrique;
- e) type de masque de brasure et épaisseur;
- f) temps de propagation;
- g) schéma de couche (c'est-à-dire dessin modèle).

### 6.1.1 Construction contrôlée

Lorsque des paramètres physiques sont spécifiés, ils contrôlent la construction de la carte. Il convient de spécifier les valeurs suivantes ainsi que leurs tolérances:

- a) épaisseur diélectrique par couche;
- b) épaisseur de cuivre finie par couche;
- c) permittivité relative (constante diélectrique);
- d) type de masque de brasure et épaisseur;
- e) largeur et espacement du conducteur;
- f) schéma de couche comprenant l'épaisseur totale (c'est-à-dire dessin modèle).

En spécifiant ces paramètres, la construction et les performances de la carte sont contrôlées par des paramètres normaux de construction et par les tolérances associées. La conformité est vérifiée grâce à un contrôle/SPC des dimensions physiques, non pas grâce aux valeurs électriques mesurées. Les valeurs d'impédance contrôlée ou les valeurs de capacité ne constituent pas des critères d'acceptation.

### 6.1.2 Performances contrôlées – Capacité contrôlée ou impédance contrôlée

L'impédance/la capacité contrôlée représente le contraire d'une construction contrôlée, les paramètres physiques sont référencés (nominalement) tandis que les valeurs des performances ainsi que leur tolérance sont mesurées:

- a) impédance contrôlée en ohms ou capacité contrôlée en picofarads;
- b) temps de propagation en picosecondes;
- c) schéma de couche comprenant l'épaisseur totale (c'est-à-dire dessin modèle).

## 6.2 Isolation des données par classe de filet (bruit, cadencement, capacité et impédance)

L'identification des filets par classe, soit au niveau de la liste de filet, soit au niveau de la base de données CAO, peut permettre de traiter des conducteurs spécifiques séparément des autres conducteurs. Par exemple, il est admis d'appliquer des règles d'espacement physiques spéciales à deux conducteurs qualifiés de conducteur (sensible au bruit) et conducteur (générateur de bruit). Des filets utilisés pour une classe de logique particulière, ECL par exemple, pourraient être isolés sur une certaine couche de signal. Il convient d'attribuer aux conducteurs à impédance contrôlée un code de conducteur unique (largeur relevée) de façon qu'il soit possible d'attribuer des largeurs spécifiques et de traiter ces conducteurs séparément d'autres conducteurs.

## 6.1 Details of construction

The following should be included in the data along with the tolerances for a complete description. Tolerances, either measured or as a reference should be specified:

- a) conductor width with its impedance value and/or capacitance value;
- b) conductor thickness;
- c) relative permittivity (dielectric constant);
- d) dielectric thickness;
- e) soldermask type and thickness;
- f) propagation delay;
- g) layer diagram (i.e. master drawing).

### 6.1.1 Controlled construction

When physical parameters are specified, they control the build of the board. Values along with the tolerances should be:

- a) dielectric thickness by layer;
- b) finished copper thickness by layer;
- c) relative permittivity (dielectric constant);
- d) soldermask type and thickness;
- e) conductor width and spacing;
- f) layer diagram (i.e. master drawing).

By specifying these parameters, the board build and the performance is controlled by normal build parameters and their resultant tolerances. Conformance is verified by SPC/inspection of the physical dimensions, not by measured electrical values. Controlled impedance values or capacitance values are not the criteria for acceptance.

### 6.1.2 Controlled performance – Controlled capacitance or controlled impedance

Controlled impedance/capacitance is the inverse of controlled construction, physical parameters are referenced (nominal) while performance values with their tolerance are measured:

- a) controlled impedance in ohms or controlled capacitance in picofarads;
- b) propagation delay in picoseconds;
- c) layer diagram (i.e. master drawing).

## 6.2 Isolation of data by net class (noise, timing, capacitance, and impedance)

Identification of nets by class in either the net list or the CAD data base can allow specific conductors to be treated separately from the other conductors. As an example, two conductors that are specified as a "noise susceptible" conductor and as a "noise generating" conductor, may have special physical spacing rules applied. Nets used for a particular class of logic, ECL as an example, could be isolated to a certain signal layer. Controlled impedance conductors should be assigned a unique conductor code (plotted width) so that specific widths may be assigned and those conductors are treated separately from other conductors.

Différents systèmes de CAO ainsi que leurs routeurs peuvent coder ou affecter une adresse symbolique aux filets pour mettre en oeuvre les stratégies de routage et d'isolation des couches. En utilisant les caractéristiques du système de CAO, la conception de circuit rapide peut être améliorée afin de répondre aux prescriptions de conception.

### 6.3 Performances électriques

Les conceptions de cartes imprimées doivent respecter les critères de performances prévus, mais doivent également être applicables à la fabrication. Les rendements de fabrication contribuent encore davantage à l'augmentation des coûts que les matières premières et le coût de fabrication qui paraissent plus évidents. Pour cette raison, il convient que les concepteurs se familiarisent avec les matériaux disponibles, leurs propriétés, leurs capacités et leurs tolérances et qu'ils cernent bien les capacités et tolérances du processus influençant les performances et le rendement de fabrication.

L'instauration d'une relation étroite avec le groupe de conception d'ingénierie et le fabricant de cartes imprimées contribue à éviter les itérations de prototype, couteuses et longues. La conception «fondée sur l'expérience antérieure» est certainement valable mais elle est susceptible d'être limitée et de ne pas tirer le meilleur parti des progrès réalisés tant au niveau des matériaux que de la fabrication. Il est souhaitable de développer une relation avec des groupes de matériaux ou de fabrication internes ou des sources industrielles extérieures.

Il convient d'établir les paramètres de performances électriques de manière que les valeurs d'acceptation mesurées reflètent les performances désirées. Etant donné que  $\epsilon_r$  varie en fonction de la fréquence, il convient que les valeurs mesurées de  $\epsilon_r$  reflètent la fréquence du circuit ou le temps de montée des dispositifs. Il convient de déterminer la contrainte de longueur de la ligne d'horloge critique en tenant compte des prescriptions d'obliquité. Il convient que les valeurs d'impédance reflètent l'impédance caractéristique des dispositifs (jeu de puces) et que les lignes entrée/sortie s'adaptent à l'impédance du système de connecteurs/câbles. Il convient que les niveaux de bruit s'inscrivent dans la marge de bruit des dispositifs.

## 7 Matériau

### 7.1 Systèmes résineux

Les systèmes résineux utilisés pour les stratifiés de cartes à circuit sont classés en deux catégories de base: les plastiques thermodurcissables et les thermoplastiques. Les résines thermodurcissables sont des matrices croisées d'unités polymériques plus petites. La nature polaire des matériaux contribue généralement à une augmentation de la permittivité relative, de la tangente de pertes diélectriques (facteur de dissipation) et de l'absorption d'eau. La structure croisée des plastiques thermodurcissables fournit généralement de meilleures caractéristiques de dimensions et de dilatation thermique. L'absorption d'eau devient un problème car la permittivité relative de l'eau est très élevée (approximativement 75) comparée à ces systèmes résineux. Des changements relativement faibles du taux d'humidité de l'environnement sont susceptibles d'avoir un impact considérable sur les performances (c'est-à-dire la capacité) et nécessitent des contrôles environnementaux sévères.

De même, chaque système résineux présente une réponse caractéristique de la permittivité relative et de la tangente de pertes diélectriques vis-à-vis de la température et de la fréquence de fonctionnement.

### 7.2 Renforts

Divers renforts, supports et/ou charges sont intégrés aux systèmes résineux pour améliorer les propriétés mécaniques ou électriques du stratifié composite. Par exemple, on peut citer l'incorporation de tissu de verre E dans une résine afin d'augmenter la stabilité dimensionnelle

Different CAD systems and their routers can code or tag nets to accomplish routing and layer isolation strategies. By utilizing the features of the CAD system, high-speed circuit design can be enhanced to meet design requirements.

### 6.3 Electrical performance

In addition to meeting the predicted performance criteria, printed board designs shall be manufacturable. Yields at manufacture are even greater contributors to cost than the obvious costs of raw materials and fabrication. For this reason, designers should be familiar with the materials available, their properties, capabilities, and tolerances and have a good understanding of process capabilities and tolerances that impact performance and manufacturing yield.

The development of a close working relationship with the engineering design group and board fabricator is of benefit to avoid prototype iterations which are costly and time consuming. Designing "based on previous experience" is certainly valid, but may be limited and not take full advantage of advances in both materials and fabrication. The development of a relationship with in-house materials and manufacturing groups or outside industry sources is advisable.

Electrical performance parameters should be established so that the measured acceptance values reflect desired performance. Since  $\epsilon_r$  varies with frequency, measured values of  $\epsilon_r$  should reflect the frequency of circuit or rise time of the devices. Critical clock line should have a length constraint consistent with skew requirements. Impedance values should reflect the characteristic impedance of the devices (chip set) and I/O lines should match the impedance of the connector/cable system. Noise levels should also be within the noise margin of the devices.

## 7 Material

### 7.1 Resin systems

The resin systems used for circuit board laminates are classified into two basic categories: thermosetting and thermoplastic. Thermosetting resins are cross-linked matrices of smaller, polymeric units. The polar nature of materials generally contributes to higher relative permittivity, loss tangent (dissipation factor) and water absorption. The cross-linked structure of the thermosets generally provides better dimensional and thermal expansion characteristics. Water absorption becomes an issue because the relative permittivity of water is so high (approximately 75) compared to these resin systems. Relatively small changes in humidity in the environment may drastically impact performance (i.e. capacitance) and require strict environmental controls.

Likewise, each resin system has a characteristic response of relative permittivity and loss tangent to temperature and operating frequency.

### 7.2 Reinforcements

Various reinforcements, supports, and/or fillers are incorporated with resin systems to enhance the mechanical or electrical properties of the composite laminate. A typical example is the incorporation of woven E-glass with a resin to enhance dimensional stability and reduce the

et réduire le coefficient X-Y de dilatation thermique ( $CTE_{xy}$ ) susceptible d'être inacceptable ou indésirable dans la résine non renforcée. Il est permis d'ajouter des charges pour modifier la permittivité relative et/ou réduire la résine et ainsi réduire la  $CTE$  totale dans les dimensions X, Y et Z.

Les épaisseurs de matériaux renforcés avec du tissu de verre sont généralement des multiples pairs de l'épaisseur de renfort ajoutée à la résine.

### 7.3 Feuilles préimprégnées, couches de liaison et adhésifs

Divers matériaux thermodurcissables et thermoplastiques sont disponibles pour stratifier une carte imprimée multicouche interconnexion. Les feuilles préimprégnées sont des résines renforcées à l'état B (état de traitement partiel). Elles sont utilisées pour créer l'espacement diélectrique entre les couches et sont traitées ou liées par réticulation au cours du processus de stratification. C'est la méthode normale de fabrication pour les cartes multicouches. D'autres méthodes emploient des couches de liaison thermoplastiques utilisées pour l'espacement diélectrique, liées par fusion au cours de la stratification à leur point de fusion. Dans le cas des techniques de cartes souples particulièrement, des couches de liaisons thermoplastiques et des couches adhésives thermodurcissables en matériaux fins non renforcés sont utilisées lorsque le diélectrique est déjà fourni par le matériau de base rigide.

### 7.4 Dépendance vis-à-vis de la fréquence

La figure 2 et le paragraphe 3.4.3 définissent, au travers des propriétés de permittivité relative (constante diélectrique), dans quelle mesure le matériau contribue au contrôle de l'impédance. Selon la conclusion du paragraphe 3.4.3, la résine et le renfort utilisés pour le stratifié sont des éléments déterminants pour les propriétés de permittivité relative (constante diélectrique) définitives du matériau. Le fait de connaître les matériaux et les tolérances du fabricant dès le début permettra dans une large mesure de prévoir selon quelles probabilités une conception donnée respectera dans son application les spécifications souhaitées.

## 8 Fabrication

Une compréhension globale des possibilités des techniques de fabrication de cartes ainsi que des tolérances réalisables est cruciale pour réussir la mise en application des conceptions. L'effet des processus et propriétés sur les questions de fabrication présente un intérêt particulier car il influence les considérations de conception.

Le fait de connaître les matériaux et les tolérances de fabrication dès le début permettra dans une large mesure de prévoir selon quelles probabilités une conception donnée respectera dans son application les spécifications souhaitées.

### 8.1 Généralités

Généralement, les cartes imprimées sont des composants personnalisés et ne peuvent pas être traitées de la même façon que des composants normaux de catalogue. De même, le processus de fabrication de cartes imprimées est adapté à chaque fabricant. Les commentaires ou conseils figurant dans la présente norme doivent être modifiés en fonction des circonstances particulières.

Il faut prendre en compte les éléments suivants:

- permittivité relative (constante diélectrique) ( $\epsilon_r$ ). Les matériaux renforcés, soutenus et remplis combinent des matériaux présentant différentes permittivités relatives et présenteront des variations au niveau de cette valeur à moins que les proportions de la combinaison soient strictement contrôlées. Il convient que la permittivité relative des matériaux non renforcés reste invariante car il s'agit généralement de matériaux uniformes et isotropes;

$X\text{-}Y$  coefficient of thermal expansion ( $CTE_{xy}$ ) which may be unacceptable or undesirable in the unsupported resin. Fillers may be added to modify the relative permittivity and/or to reduce resin content and thereby reducing the overall  $CTE$  in  $X$ ,  $Y$ , and  $Z$  dimensions.

The thicknesses of woven glass reinforced materials are typically even multiples of the reinforcement thickness plus resin.

### 7.3 Prepregs, bonding layers and adhesives

Various thermosetting and thermoplastic materials are available for laminating a multilayer interconnecting printed board. Prepregs are supported resins in their B-stage (partially cured state). They are used to create the dielectric spacing between layers and are cured or cross-linked in the lamination process. This is the normal method of fabrication for multilayer boards. Other methods include thermoplastic bonding layers used for dielectric spacing that are fusion bonded during lamination by reflow at their melting point. Particularly in flexible board technology, thermoplastic bonding films and thermosetting adhesive films with thin unsupported materials are used where the dielectric is already provided by the rigid base material.

### 7.4 Frequency dependence

Figure 2 and subclause 3.4.3 define the material contribution through relative permittivity (dielectric constant) properties on impedance control. As concluded in 3.4.3, resin and the reinforcement used for laminate are the key to the final relative permittivity (dielectric constant) properties of the material. Knowing the fabricator's materials and tolerances from the outset will go a long way toward predicting the probability that a given design will perform within the desired specifications.

## 8 Fabrication

A general understanding of the capabilities of board fabrication technologies and the realistic, achievable tolerances is critical to the successful implementation of designs. Areas of particular interest are the effect of processes and properties on manufacturing issues as they impact design considerations.

Knowing the fabrication techniques and tolerances from the outset will go a long way toward predicting the probability that a given design will perform within the desired specifications.

### 8.1 General

Generally, printed boards are custom components and cannot be treated in the same manner as normal "catalogue" components. Similarly, the printed board fabrication process is customized by each fabricator. Any comments or advice given in this standard shall therefore be modified to suit individual circumstances.

The following are considerations to be taken into account:

- a) relative permittivity (dielectric constant) ( $\epsilon_r$ ). The reinforced, supported, and filled materials are combinations of materials of different relative permittivities and will exhibit variations in this value unless the proportions of the combination are strictly controlled. The relative permittivity of the unreinforced materials should be invariant as these are generally uniform, isotropic materials;

- b) espacement diélectrique (épaisseur). Des changements au niveau du pourcentage de teneur en résine auront un impact tant sur l'épaisseur que sur la permittivité relative. L'uniformité de l'épaisseur entre les matériaux variera en fonction de la technique et du niveau de gestion de processus utilisés par le fabricant de stratifié. Il est influencé par le choix de la feuille préimprégnée, des couches de liaisons et des conditions de stratification;
- c) feuille préimprégnée. L'épaisseur de la feuille préimprégnée, et par conséquent la permittivité relative (constante diélectrique) sont susceptibles de varier en fonction des conditions de compression. Pour les calculs, il convient que le concepteur considère la permittivité relative effective (constante diélectrique) et l'épaisseur d'une feuille préimprégnée après le cycle de stratification et explique les défauts d'adaptation de la permittivité relative (constante diélectrique) susceptibles d'exister entre la feuille préimprégnée et les autres couches;
- d) largeur et espacement du conducteur. Il n'est pas exclu que la largeur et l'espacement du conducteur de ligne soient influencés par l'outillage, l'imagerie, l'épaisseur de la feuille de cuivre, la gravure et la métallisation;
- e) géométrie du conducteur. La géométrie du conducteur sera influencée par la méthode d'imagerie, le nettoyage, la gravure et la métallisation, particulièrement sur les couches externes où une gravure sous-jacente dans des feuilles épaisses produira une forme trapézoïdale.

## 8.2 Processus de préproduction

Les principaux processus de préproduction figurent sur l'organigramme suivant:

