

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
748-2-2**

QC 790109
Première édition
First edition
1992-01

Dispositifs à semiconducteurs
Circuits intégrés

Deuxième partie:
Circuits intégrés numériques
Section deux – Spécification de famille
pour les circuits intégrés numériques HCMOS,
séries 54/74 HC, 54/74 HCT, 54/74 HCU

Semiconductor devices
Integrated circuits

Part 2:
Digital integrated circuits
Section two – Family specification for HCMOS
digital integrated circuits, series 54/74 HC,
54/74 HCT, 54/74 HCU



Numéro de référence
Reference number
CEI/IEC 748-2-2: 1992

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
748-2-2**

QC 790109
Première édition
First edition
1992-01

Dispositifs à semiconducteurs
Circuits intégrés

Deuxième partie:
Circuits intégrés numériques
Section deux – Spécification de famille
pour les circuits intégrés numériques HCMOS,
séries 54/74 HC, 54/74 HCT, 54/74 HCU

Semiconductor devices
Integrated circuits

Part 2:
Digital integrated circuits
Section two – Family specification for HCMOS
digital integrated circuits, series 54/74 HC,
54/74 HCT, 54/74 HCU

© CEI 1992 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher

Bureau central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève Suisse
Téléfax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

S

Pour prix, voir catalogue en vigueur
For price, see current catalogue

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés numériques

Section deux- Spécification de famille pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU

AVANT-PROPOS

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

La présente norme a été établie par le Sous-comité 47A: Circuits intégrés, et par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification de famille pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47A(BC)189	47A(BC)217

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications nos 68-2-17 (1978): Essais d'environnement – Deuxième partie: Essais – Essai Q: Etanchéité.
- 747-10 (1991): Dispositifs à semiconducteurs. Dispositifs discrets. Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés.
- 748-2 (1985): Dispositifs à semiconducteurs. Circuits intégrés. Deuxième partie: Circuits intégrés numériques. Amendement 1 (1991).
- 748-2-3 (1991): Dispositifs à semiconducteurs. Circuits intégrés. Deuxième partie: Circuits intégrés numériques. Section trois – Spécification particulière cadre pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU.
- 748-11 (1990): Dispositifs à semiconducteurs. Circuits intégrés. Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides.
- 749 (1984): Dispositifs à semiconducteurs. Essais mécaniques et climatiques. Amendement 1 (1991).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES

Integrated circuits

Part 2: Digital integrated circuits

Section two – Family specification for HCMOS digital integrated circuits series 54/74 HC, 54/74 HCT, 54/74 HCU

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

This standard has been prepared by Sub-Committee 47A: Integrated circuits, and IEC Technical Committee No. 47: Semiconductor devices.

This standard is a blank detail specification for HCMOS digital integrated circuits series 54/74 HC, 54/74 HCT, 54/74 HCU.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47A(CO)189	47A(CO)217

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

The following IEC publications are quoted in this standard:

- Publications Nos. 68-2-17 (1978): Environmental testing. Part 2: Tests - Test Q: Sealing.
- 747-10 (1991): Semiconductor devices. Discrete devices. Part 10: Generic specification for discrete devices and integrated circuits.
- 748-2 (1985): Semiconductor devices. Integrated circuits. Part 2: Digital integrated circuits. Amendment 1 (1991).
- 748-2-3 (1991): Semiconductor devices. Integrated circuits. Part 2: Digital integrated circuits. Section three – Blank detail specification for HCMOS digital integrated circuits, series 54/74 HC, 54/74 HCT, 54/74 HCU.
- 748-11 (1990): Semiconductor devices - Integrated circuits. Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits.
- 749 (1984): Semiconductor devices. Mechanical and climatic test methods. Amendment 1 (1991).

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés numériques

Section deux – Spécification de famille pour les circuits intégrés numériques HCMOS, séries 54/74 HC, 54/74 HCT, 54/74 HCU

INTRODUCTION

Le système CEI d'assurance de la qualité des composants électroniques fonctionne conformément aux statuts de la CEI et sous son autorité. Le but de ce système est de définir les procédures d'assurance de la qualité de telle façon que les composants électroniques livrés par un pays participant comme étant conformes aux exigences d'une spécification applicable soient également acceptables dans tous les autres pays participants sans nécessiter d'autres essais.

Cette spécification de famille fait partie d'une série de spécifications particulières cadres concernant les dispositifs à semiconducteurs; elle doit être utilisée avec les publications suivantes de la CEI:

747-10/QC 700000: Dispositifs à semiconducteurs. Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés.

748-11/QC 790100: Dispositifs à semiconducteurs. Circuits intégrés. Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides.

Renseignements nécessaires

Les nombres placés entre crochets sur cette page et les pages suivantes correspondent aux indications suivantes qui doivent être portées dans les cases prévues à cet effet.

Identification de la spécification particulière

- [1] Nom de l'Organisme National de Normalisation sous l'autorité duquel la spécification particulière est établie.
- [2] Numéro IECQ de la spécification particulière.
- [3] Numéros de référence et d'édition des spécifications générique et intermédiaire.
- [4] Numéro national de la spécification particulière, date d'édition et toute autre information requise par le système national.

Identification du composant

- [5] Fonction principale et numéro de type.
- [6] Renseignements sur la construction typique (matériaux, technologie principale) et le boîtier.

Si un dispositif possède plusieurs types de produits dérivés, ces différences doivent être indiquées, par exemple les particularités des caractéristiques dans le tableau comparatif.

Pour les dispositifs sensibles aux charges électrostatiques, les précautions nécessaires à observer doivent être ajoutées dans la spécification particulière.

SEMICONDUCTOR DEVICES**Integrated circuits****Part 2: Digital integrated circuits****Section two – Family specification for
HCMOS digital integrated circuits series 54/74 HC,
54/74 HCT, 54/74 HCU****INTRODUCTION**

The IEC Quality Assessment System for Electronic Components is operated in accordance with the statutes of the IEC and under the authority of the IEC. The object of this system is to define quality assessment procedures in such a manner that electronic components released by one participating country as conforming with the requirements of an applicable specification are equally acceptable in all other participating countries without the need for further testing.

This family specification is one of a series of blank detail specifications for semiconductor devices and shall be used with the following IEC Publication:

747-10/QC 700000: Semiconductor devices. Part 10: Generic specification for discrete devices and integrated circuits.

748-11/QC 790100: Semiconductor devices. Integrated circuits. Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits.

Required information

Numbers shown in brackets on this and the following pages correspond to the following items of required information, which should be entered in the spaces provided.

Identification of the detail specification

- [1] The name of the National Standards Organization under whose authority the detail specification is issued.
- [2] The IECQ number of the detail specification.
- [3] The numbers and issue numbers of the generic and sectional specifications.
- [4] The national number of the detail specification, date of issue and any further information, if required by the national system.

Identification of the component

- [5] Main function and type number.
- [6] Information on typical construction (materials, the main technology) and the package.

If the device has several kinds of derivative products, those differences shall be indicated, e.g. feature of characteristics in the comparison table.

If the device is sensitive to electrostatic charges, a caution statement shall be added in the detail specification.

- [7] Dessin d'encombrement, identification des bornes, marquage et/ou référence aux documents correspondants pour les encombrements.
- [8] Catégorie d'assurance de la qualité conformément au paragraphe 2.6 de la spécification générique.
- [9] Données de référence.

[Les articles indiqués entre crochets sur les pages suivantes de cette norme, qui correspondent à la première page de la spécification particulière, sont destinés à guider le rédacteur de la spécification; ils ne doivent pas figurer dans la spécification particulière.]

[Lorsqu'il existe un risque d'ambiguïté quant à savoir si un paragraphe est uniquement destiné à guider le rédacteur ou non, il doit être indiqué entre crochets:]

[Nom (adresse) de l'ONH responsable [1] (et éventuellement de l'organisme auprès duquel la spécification peut être obtenue).]	[Numéro de la spécification particulière IECQ, plus numéro d'édition et/ou date.] [2] QC 790109-...
COMPOSANT ÉLECTRONIQUE DE QUALITÉ CONTRÔLÉE CONFORMÉMENT A: [3] Spécification générique: Publication 747-10 / QC 700000 Spécification intermédiaire: Publication 748-11 / QC 790100 [et références nationales si elles sont différentes.]	[Numéro national de la spécification particulière] [4] [Cette case n'a pas besoin d'être utilisée si le numéro national est identique au numéro IECQ.]
SPÉCIFICATION DE FAMILLE POUR LES CIRCUITS INTÉGRÉS NUMÉRIQUES HCMOS, SÉRIES 54/74 HC, 54/74 HCT, 54/74 HCU. [5] [Numéro(s) de type du ou des dispositifs.] Renseignements à donner dans les commandes: voir article 7 de cette norme.	
1. Description mécanique [7] <i>Références d'encombrement:</i> CEI 191-2 [obligatoire si disponible] et/ou nationales [s'il n'existe pas de dessin CEI.] <i>Dessin d'encombrement</i> [peut être transféré, ou donné avec plus de détails, à l'article 10 de cette norme.] <i>Identification des bornes</i> [dessin indiquant l'emplacement des bornes, y compris les symboles graphiques.] <i>Marquage:</i> [lettres et chiffres.] [La spécification particulière doit indiquer les informations à marquer sur le dispositif.] [Voir le paragraphe 2.5 de la spécification générique et/ou l'article 6 de cette norme.]	2. Brève description [6] HCMOS haute rapidité Séries HC, HCT, HCU Matériau semiconducteur: [Si] Encapsulation: [boîtier avec ou sans cavité.] Technologie: MOS complémentaires. ATTENTION: Dispositifs sensibles aux charges électrostatiques.
	3. Catégories d'assurance de la qualité [8] [à choisir dans le paragraphe 2.6 de la spécification générique.]
	Données de référence [9] Voir la spécification particulière.
Se reporter à la liste des produits homologués en vigueur pour connaître les fabricants dont les composants conformes à cette spécification de famille sont homologués.	

- [7] Outline drawing, terminal identification, marking and/or reference to the relevant document for outlines.
- [8] Category of assessed quality according to subclause 2.6 of the generic specification.
- [9] Reference data.

[The clauses given in square brackets on the next pages of this standard, which form the front page of the detail specification, are intended for guidance to the specification writer and shall not be included in the detail specification.]

[When confusion may arise as to whether a paragraph is only instruction to the writer or not, the paragraph shall be indicated between brackets.]

[Name (address) of responsible NAI [1] (and possibly of body from which specification is available).]	[Number of IECQ detail specification, plus issue number and/or date.] [2] QC 790109-...
ELECTRONIC COMPONENT OF ASSESSED QUALITY IN ACCORDANCE WITH: [3] Generic specification: Publication 747-10 / QC 700000 Sectional specification: Publication 748-11 / QC 790100 [and national references if different.]	[National number of detail specification] [4] [This box need not be used if National number repeats IECQ number.]
FAMILY SPECIFICATION FOR HCMOS DIGITAL INTEGRATED CIRCUITS, SERIES 54/74 HC, 54/74 HCT, 54/74 HCU [5] [Type number(s) of the relevant device(s).] Ordering information: see clause 7 of this standard.	
1. Mechanical description [7] <i>Outline references:</i> IEC 191-2 [mandatory of if available] and/or national [if there is no IEC outline.] <i>Outline drawing</i> [may be transferred to or given with more details in clause 10 of this standard.] <i>Terminal identification</i> [drawing showing pin assignments, including graphical symbols.] <i>Marking:</i> [letters and figures.] [The detail specification shall prescribe the information to be marked on the device, if any.] [See subclause 2.5 of generic specification and/or clause 6 of this standard.]	2. Short description [6] High-speed CMOS Series HC, HCT, HCU Semiconductor material: [Si]. Encapsulation: [cavity or non-cavity]. Technology: Complementary MOS. CAUTION: Electrostatic sensitive devices.
	3. Categories of assessed quality [8] [from subclause 2.6 of the generic specification.]
	Reference data [9] See detail specification.
Information about manufacturers who have components qualified to this detail specification is available in the current Qualified Products List.	

4 Valeurs limites (système des valeurs limites absolues)

Les valeurs limites ne sont pas applicables pour les exigences de contrôle.

Ces valeurs s'appliquent dans la gamme des températures de fonctionnement, sauf spécification contraire.

Les valeurs données sont valables sauf indication contraire dans la spécification particulière.

Paragraphe	Valeurs limites	Symbole	Valeur		Unité
			Min.	Max.	
4.1	Tension d'alimentation	V_{DD}	–0,5	+7	V
4.3	Tension d'entrée	V_I	–0,5	$V_{DD} + 0,5$	V
4.4	Courant continu (quelle que soit l'entrée)	$ I_{IK} $		20	mA
4.5	Tension de sortie	V_O	–0,5	$V_{DD} + 0,5$	V
4.6	Courant continu (quelle que soit la sortie)	$ I_{OK} $		20	mA
4.7	Courant continu de source, sortant ou entrant, pour chaque sortie	$ I_{OK} $		25	mA
		standard puissance		35	mA
4.8	Courant continu d'alimentation I_{DD} ou courant dans la broche de masse	$ I_{DD} $		50	mA
		standard ou $ I_{SS} $ puissance		70	mA
4.9	Gamme de températures de fonc- tionnement 54 /HC/HCT/HCU 74 /HC/HCT/HCU	T_{amb}	–55	+125	°C
			–40	+85	°C
4.10	Température de stockage	T_{stg}	–65	+150	°C

5 Caractéristiques électriques

(Voir l'article 8 de cette norme pour les exigences de contrôle.)

Gamme de tensions d'alimentation recommandée:

Séries HC: $V_{DDmin} = 2 \text{ V}$ à $V_{DDmax} = 6 \text{ V}$.

Séries HCT: $V_{DDmin} = 4,5 \text{ V}$ à $V_{DDmax} = 5,5 \text{ V}$.

Séries HCU: $V_{DDmin} = 2 \text{ V}$ à $V_{DDmax} = 6 \text{ V}$.

Ces caractéristiques électriques s'appliquent dans toute la gamme de températures de fonctionnement, sauf indication contraire.

Toutes les tensions sont prises par rapport à V_{SS} .

4 Limiting values (absolute maximum rating system)

Limiting values are not for inspection purposes.

These values apply over the operating temperature range unless otherwise specified.

The values given are valid unless otherwise specified in the detail specification.

Subclause	Limiting values	Symbol	Value		Unit
			Min.	Max.	
4.1	Supply voltage	V_{DD}	-0,5	+7	V
4.3	Input voltage	V_I	-0,5	$V_{DD} + 0,5$	V
4.4	Continuous current (any input)	$ I_{IK} $		20	mA
4.5	Output voltage	V_o	-0,5	$V_{DD} + 0,5$	V
4.6	Continuous current (any output)	$ I_{ok} $		20	mA
4.7	Continuous output source or sink current per output pin	$ I_{ok} $		25	mA
		standard bus driver		35	mA
4.8	Continuous I_{DD} or ground pin current	$ I_{DD} $		50	mA
		standard ou bus driver		70	mA
4.9	Operating temperature range	T_{amb}			
	54 /HC/HCT/HCU		-55	+125	°C
	74 /HC/HCT/HCU		-40	+85	°C
4.10	Storage temperature	T_{stg}	-65	+150	°C

5 Electrical characteristics

(See clause 8 of this standard for inspection requirements.)

Recommended supply voltage range:

HC series: $V_{DDmin} = 2 \text{ V}$ to $V_{DDmax} = 6 \text{ V}$.

HCT series: $V_{DDmin} = 4,5 \text{ V}$ to $V_{DDmax} = 5,5 \text{ V}$.

HCU series: $V_{DDmin} = 2 \text{ V}$ to $V_{DDmax} = 6 \text{ V}$.

These electrical characteristics apply over the operating temperature range, unless otherwise stated.

All voltages are referenced to V_{SS} .

Séries HC (suite)

Paragraphe	Paramètres	V _{DD} V	Symbole	T _{amb}						Unité	Essayé en sous- groupe
				54 HC/74 HC voir note 1		74 HC voir note 2		54 HC voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.1	Courant de repos V _I = 0 ou V _{DD} I _O = 0 · SSI } · FF } voir note 4 · MSI } · LSI }	6 6 6 6	I _{DD}		2 4 8 50		20 40 80 500		40 80 160 1000	μA μA μA μA	A 3/4
5.2	Tension d'entrée au niveau haut	2 4,5 6	V _{IH}	1,5 3,15 4,2		1,5 3,15 4,2		1,5 3,15 4,2		V V V	A 3/4
5.3	Tension d'entrée au niveau bas	2 4,5 6	V _{IL}		0,3 0,9 1,2		0,3 0,9 1,2		0,3 0,9 1,2	V V V	A 3/4
5.4	Tension de sortie au niveau haut V _I = V _{IHB} ou V _{ILA}		V _{OH}								A 3/4
5.4.1	I _O = -20 μA	2 4,5 6		1,9 4,4 5,9		1,9 4,4 5,9		1,9 4,4 5,9		V V V	
5.4.2	I _O = -4 mA (sorties standards) } I _O = -6 mA (sorties de puissance) }	4,5		3,98		3,84		3,7		V	
	I _O = -5,2 mA (sorties standards) } I _O = -7,8 mA (sorties de puissance) }	6		5,48		5,34		5,2		V	
5.5	Tension de sortie au niveau bas V _I = V _{IHB} ou V _{ILA}		V _{OL}								A 3/4
5.5.1	I _O = +20 μA	2 4,5 6		0,1 0,1 0,1		0,1 0,1 0,1		0,1 0,1 0,1		V V V	
5.5.2	I _O = +4 mA (sorties standards) } I _O = +6 mA (sorties de puissance) }	4,5		0,26		0,33		0,4		V	
	I _O = +5,2 mA (sorties standards) } I _O = +7,8 mA (sorties de puissance) }	6		0,26		0,33		0,4		V	

Pour les notes, voir page 12.

HC series (continued)

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HC/74 HC see note 1		74 HC see note 2		54 HC see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.1	Quiescent device current $V_I = 0$ ou V_{DD} $I_O = 0$ · SSI · FF · MSI · LSI } see note 4	6 6 6 6	I_{DD}		2 4 8 50		20 40 80 500		40 80 160 1 000	μA μA μA μA	A 3/4
5.2	High-level input voltage	2 4,5 6	V_{IH}	1,5 3,15 4,2		1,5 3,15 4,2		1,5 3,15 4,2		V V V	A 3/4
5.3	Low-level input voltage	2 4,5 6	V_{IL}		0,3 0,9 1,2		0,3 0,9 1,2		0,3 0,9 1,2	V V V	A 3/4
5.4	High-level output voltage $V_I = V_{IHB}$ or V_{ILA}		V_{OH}								A 3/4
5.4.1	$I_O = -20 \mu A$	2 4,5 6		1,9 4,4 5,9		1,9 4,4 5,9		1,9 4,4 5,9		V V V	
5.4.2	$I_O = -4 \text{ mA}$ (standard outputs) } $I_O = -6 \text{ mA}$ (bus driver outputs) }	4,5		3,98		3,84		3,7		V	
	$I_O = -5,2 \text{ mA}$ (standard outputs) } $I_O = -7,8 \text{ mA}$ (bus driver outputs) }	6		5,48		5,34		5,2		V	
5.5	Low-level output voltage $V_I = V_{IHB}$ or V_{ILA}		V_{OL}								A 3/4
5.5.1	$I_O = +20 \mu A$	2 4,5 6		0,1 0,1 0,1		0,1 0,1 0,1		0,1 0,1 0,1		V V V	
5.5.2	$I_O = +4 \text{ mA}$ (standard outputs) } $I_O = +6 \text{ mA}$ (bus driver outputs) }	4,5		0,26		0,33		0,4		V	
	$I_O = +5,2 \text{ mA}$ (standard outputs) } $I_O = +7,8 \text{ mA}$ (bus driver outputs) }	6		0,26		0,33		0,4		V	

For notes, see page 13.

Séries HC (suite)

Paragraphe	Paramètres	V _{DD} V	Symbole	T _{amb}						Unité	Essayé en sous- groupe
				54 HC/74 HC voir note 1		74 HC voir note 2		54 HC voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.6	Courant de fuite d'entrée à l'état bloqué										A 3/4
5.6.1	V _I = V _{DD}	6	I _I		0,1		1		1	μA	A 3/4
5.6.2	V _I = 0 Courant de fuite de sortie à l'état bloqué	–	I _I		–0,1		–1		–1	μA	A 3/4
5.7	Courant de fuite par canal en entrée/sortie pour les commutateurs analogiques V _I = V _{IHB} ou V _{ILA} V _S = V _{DD} ou = V _{DD} – V _{EE} voir note 5	6	I _S		0,1		1		1	μA	A 3/4
5.8	Courant de fuite de sortie trois états V _I = V _{IHB} ou V _{ILA} V _O = 0 ou V _{DD}	6	I _{OZA}		0,5		5		10	μA	A 3/4
5.9	Capacité										
5.9.1	Capacité d'entrée	4,5	C _{IA}		10		10		10	pF	C 12
5.9.2	Capacité de sortie voir note 6 Sorties trois états		C _{OZ}		15		15		15	pF	
5.10	Marge d'immunité au bruit avec sortie au niveau bas (V _{ILA} – V _{OLA}) I _O = +20 μA	2 4,5 6	V _{NL}	0,2 0,8 1,1		0,2 0,8 1,1		0,2 0,8 1,1		V V V	A 3/4
5.11	Marge d'immunité au bruit avec sortie au niveau haut (V _{OHB} – V _{IHB}) I _O = –20 μA	2 4,5 6	V _{NH}	0,4 1,25 1,7		0,4 1,25 1,7		0,4 1,25 1,7		V V V	A 3/4

Note 1 – 25 °C.

Note 2 – –40 à + 85 °C.

Note 3 – –55 à + 125 °C.

Note 4 – La spécification particulière doit indiquer si le dispositif est SSI, FF, MSI ou LSI.

Note 5 – V_{EE} : Tension d'alimentation négative supplémentaire pour certains commutateurs analogiques,
à spécifier dans la spécification particulière.

Note 6 – Sauf indication contraire dans la spécification particulière.

HC series (continued)

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HC/74 HC see note 1		74 HC see note 2		54 HC see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.6	Off-state input leakage current										A 3/4
5.6.1	$V_I = V_{DD}$	6	I_I		0,1		1		1	μA	A 3/4
5.6.2	$V_I = 0$ Off-state output leakage current	–	I_I		–0,1		–1		–1	μA	A 3/4
5.7	Analogue switch off-state current per channel $V_I = V_{IHB}$ or V_{ILA} $ V_S = V_{DD}$ or $= V_{DD} - V_{EE}$ see note 5	6	I_S		0,1		1		1	μA	A 3/4
5.8	Three-state output off-state current $V_I = V_{IHB}$ or V_{ILA} $V_O = 0$ or V_{DD}	6	I_{OZA}		0,5		5		10	μA	A 3/4
5.9	Capacitance										
5.9.1	Input capacitance	4,5	C_{IA}		10		10		10	pF	C 12
5.9.2	Output capacitance see note 6 Three-state outputs		C_{OZ}		15		15		15	pF	
5.10	Noise margin at low-level output ($V_{ILA} - V_{OLA}$) $I_O = +20 \mu A$	2 4,5 6	V_{NL}	0,2 0,8 1,1		0,2 0,8 1,1		0,2 0,8 1,1		V V V	A 3/4
5.11	Noise margin at high-level output ($V_{OHB} - V_{IHB}$) $I_O = -20 \mu A$	2 4,5 6	V_{NH}	0,4 1,25 1,7		0,4 1,25 1,7		0,4 1,25 1,7		V V V	A 3/4

Note 1 – 25 °C.

Note 2 – –40 to + 85 °C.

Note 3 – –55 to + 125 °C.

Note 4 – The detail specification shall indicate whether the device is a SSI, FF, MSI or LSI.

Note 5 – V_{EE} : Additional negative supply voltage for some analogue switches, to be specified in the detail specification.

Note 6 – Unless otherwise specified in the detail specification.

Séries HCT

Paragraphe	Paramètres	V _{DD} V	Symbole	T _{amb}						Unité	Essayé en sous- groupe
				54 HCT/74 HCT voir note 1		74 HCT voir note 2		54 HCT voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.12	Courant d'alimentation au repos		I _{DD}								A 3/4
5.12.1	V _I = 0 ou V _{DD} I _O = 0 · SSI · FF · MSI · LSI voir note 4	5,5 5,5 5,5 5,5		2 4 8 50		20 40 80 500		40 80 160 1 000	μA μA μA μA		
5.13	Tension d'entrée au niveau haut	5,5	V _{IH}	2		2		2		V	A 3/4
5.14	Tension d'entrée au niveau bas	4,5	V _{IL}		0,8		0,8		0,8	V	A 3/4
5.15	Tension de sortie au niveau haut V _I = V _{IHB} ou V _{ILA}		V _{OHB}								A 3/4
5.15.1	I _O = -20 μA	4,5		4,4		4,4		4,4		V	
5.15.2	I_O = -4 mA (sorties standards) I_O = -6 mA (sorties de puissance)	4,5		3,98		3,84		3,7		V	
5.16	Tension de sortie au niveau bas V _I = V _{IHB} ou V _{ILA}		V _{OLA}								A 3/4
5.16.1	I _O = +20 μA	4,5		0,1		0,1		0,1		V	
5.16.2	I_O = +4 mA (sorties standards) I_O = +6 mA (sorties de puissance)	4,5		0,26		0,33		0,40		V	
5.17	Courant de fuite d'entrée à l'état bloqué		I _I								A 3/4
5.17.1	V _I = 0 ou V _{DD}	5,5			0,1		1		1	μA	
5.17.2	V _I = V _{IHB} Courant de fuite de sortie à l'état bloqué	5,5			100		125		150	μA	
5.18	Courant de fuite par canal en entrée/sortie pour les commutateurs analogiques V _I = V _{IHB} ou V _{ILA} V _S = V _{DD} ou = V _{DD} - V _{EE} Voir note 5	5,5	I _S		0,1		1		1	μA	A 3/4

Pour les notes, voir page 12.

HCT-series

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HCT/74 HCT see note 1		74 HCT see note 2		54 HCT see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.12	Quiescent supply voltage		I_{DD}								A 3/4
5.12.1	$V_I = 0$ or V_{DD} $I_O = 0$ · SSI } see note 4 · FF · MSI · LSI }	5,5 5,5 5,5 5,5			2 4 8 50		20 40 80 500		40 80 160 1 000	μA μA μA μA	
5.13	High-level input voltage	5,5	V_{IH}	2		2		2		V	A 3/4
5.14	Low-level input voltage	4,5	V_{IL}		0,8		0,8		0,8	V	A 3/4
5.15	High-level input voltage		V_{OHB}								A 3/4
5.15.1	$V_I = V_{IHB}$ or V_{ILA} $I_O = -20 \mu A$	4,5		4,4		4,4		4,4		V	
5.15.2	$I_O = -4 \text{ mA}$ (standard outputs) $I_O = -6 \text{ mA}$ (bus driver outputs) }	4,5		3,98		3,84		3,7		V	
5.16	Low-level input voltage		V_{OLA}								A 3/4
5.16.1	$V_I = V_{IHB}$ or V_{ILA} $I_O = +20 \mu A$	4,5		0,1		0,1		0,1		V	
5.16.2	$I_O = +4 \text{ mA}$ (standard outputs) $I_O = +6 \text{ mA}$ (bus driver outputs) }	4,5		0,26		0,33		0,40		V	
5.17	Off-state input leakage current		I_I								A 3/4
5.17.1	$V_I = 0$ or V_{DD}	5,5			0,1		1		1	μA	
5.17.2	$V_I = V_{IHB}$ Off-state output leakage current	5,5			100		125		150	μA	
5.18	Analogue switch off-state current per channel	5,5	I_S		0,1		1		1	μA	A 3/4
	$V_I = V_{IHB}$ or V_{ILA} $V_S = V_{DD}$ or $V_{DD} - V_{EE}$ see note 5										

For notes, see page 13.

Séries HCT (suite)

Paragraphe	Paramètres	V_{DD} V	Symbole	T_{amb}						Unité	Essayé en sous- groupe
				54 HCT/74 HCT voir note 1		74 HCT voir note 2		54 HCT voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.19	Courant de fuite de sortie trois états $V_I = V_{IHB}$ ou V_{ILA} $V_O = 0$ ou V_{DD}	5,5	I_{OZA}		0,5		5		10	μA	A 3/4
5.20	Capacité	5	C_I C_{OZ}		10		10		10	pF	C 12
5.20.1	Capacité d'entrée										
5.20.2	Capacité de sortie voir note 6 Sorties trois états										

Séries HCU

Paragraphe	Paramètres	V _{DD} V	Symbole	T _{amb}						Unité	Essayé en sous-groupe
				54 HCU/74 HCU voir note 1		74 HCU voir note 2		54 HCU voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.23	Courant d'alimentation au repos V _I = 0 ou V _{DD} I _O = 0 · SSI } · FF } voir note 4 · MSI }	6 6 6	I _{DD}		2 4 8		20 40 80		40 80 160	μA μA μA	A 3/4
5.24	Tension d'entrée au niveau haut	2 4,5 6	V _{IHB}	1,7 3,6 4,8		1,7 3,6 4,8		1,7 3,6 4,8		V V V	A 3/4
5.25	Tension d'entrée au niveau bas	2 4,5 6	V _{ILA}		0,3 0,8 1,1		0,3 0,8 1,1		0,3 0,8 1,1	V	A 3/4
5.26	Tension de sortie au niveau haut		V _{OHB}								A 3/4
5.26.1	V _I = V _{IHB} ou V _{ILA} I _O = -20 μA	2 4,5 6		1,8 4 5,5		1,8 4 5,5		1,8 4 5,5		V V V	
5.26.2	V _I = 0 ou V _{DD} I _O = -4 mA (sorties standards)	4,5		3,98		3,84		3,7		V	
	I _O = -5,2 mA (sortie de puissance)	6		5,48		5,34		5,2		V	

Pour les notes, voir page 12.

HCT-series (continued)

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HCT/74 HCT see note 1		74 HCT see note 2		54 HCT see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.19	Three-state output off-state current $V_I = V_{IHB}$ or V_{ILA} $V_O = 0$ or V_{DD}	5,5	I_{OZA}		0,5		5		10	μA	A 3/4
5.20	Capacitance	5	C_I C_{OZ}		10		10		10	μF	C 12
5.20.1	Input capacitance										
5.20.2	Output capacitance see note 6 Three-state outputs										

HCU-series

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HCU/74 HCU see note 1		74 HCU see note 2		54 HCU see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.23	Quiescent supply current $V_I = 0$ or V_{DD} $I_O = 0$ · SSI } · FF } see note 4 · MSI }	6 6 6	I_{DD}		2 4 8		20 40 80		40 80 160	μA μA μA	A 3/4
5.24	High-level input voltage	2 4,5 6	V_{IHB}	1,7 3,6 4,8		1,7 3,6 4,8		1,7 3,6 4,8		V	A 3/4
5.25	Low-level input voltage	2 4,5 6	V_{ILA}		0,3 0,8 1,1		0,3 0,8 1,1		0,3 0,8 1,1	V	A 3/4
5.26	High-level output voltage		V_{OHB}								A 3/4
5.26.1	$V_I = V_{IHB}$ or V_{ILA} $I_O = -20 \mu A$	2 4,5 6		1,8 4 5,5		1,8 4 5,5		1,8 4 5,5		V V V	
5.26.2	$V_I = 0$ or V_{DD} $I_O = -4 \text{ mA}$ (standard outputs) $I_O = -5,2 \text{ mA}$ (bus driver outputs)	4,5 6		3,98 5,48		3,84 5,34		3,7 5,2		V V	

For notes, see page 13.

Séries HCU (suite)

Paragraphe	Paramètres	V _{DD} V	Symbole	T _{amb}						Unité	Essayé en sous- groupe
				54 HCU/74 HCU voir note 1		74 HCU voir note 2		54 HCU voir note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.27	Tension de sortie au niveau bas		V _{OLA}								A 3/4
5.27.1	V _I = V _{IHB} ou V _{ILA} I _O = +20 μA	2 4,5 6		0,2 0,5 0,5		0,2 0,5 0,5		0,2 0,5 0,5		V V V	
5.27.2	V _I = 0 ou V _{DD} I _O = +4 mA (sorties standards)	4,5		0,26		0,33		0,4		V	
	I _O = +5,2 mA (sortie de puissance)	6		0,26		0,33		0,4		V	
5.28	Courant de fuite d'entrée à l'état bloqué V _I = 0 ou V _{DD}	6	I _{IA}		0,1		1		1	μA	A 3/4
5.29	Capacité Capacité d'entrée	4,5	C _{IA}		15		15		15	pF	C 12
5.30	Marge d'immunité au bruit avec sortie au niveau bas (V _{ILA} - V _{OLA}) I _O = +20 μA	2 4,5 6	V _{NL}	0,1 0,3 0,6		0,1 0,3 0,6		0,1 0,3 0,6		V V V	A 3/4
5.31	Marge d'immunité au bruit avec sortie au niveau haut (V _{OHB} - V _{IHB}) I _O = +20 μA	2 4,5 6	V _{NH}	0,1 0,4 0,7		0,1 0,4 0,7		0,1 0,4 0,7		V V V	A 3/4

Pour les notes, voir page 12.

5.32 Caractéristiques dynamiques (Séries HC, HCT, HCU)

Générateur d'impulsions et circuit de commande.

5.32.1 Les conditions suivantes doivent être remplies:

- Impédance de sortie du générateur d'impulsions: $50 \Omega \pm 10 \%$.
- Impédance du câble du circuit de commande du générateur, compte tenu de l'appareillage de mesure: $50 \Omega \pm 10 \%$.

Tension d'entrée au niveau bas: $0 \text{ V} \pm 0,1 \text{ V}$.

Tension d'entrée au niveau haut: $V_{DD} \pm 0,1 \text{ V}$ (Séries HC, HCU); $3 \text{ V} \pm 0,1 \text{ V}$ (Série HCT).

HCU-series (continued)

Subclause	Parameters	V_{DD} V	Symbol	T_{amb}						Unit	Tested in sub-group
				54 HCU/74 HCU see note 1		74 HCU see note 2		54 HCU see note 3			
				Min.	Max.	Min.	Max.	Min.	Max.		
5.27	Low-level output voltage		V_{OLA}								A 3/4
5.27.1	$V_I = V_{IHB}$ or V_{ILA} $I_O = +20 \mu A$	2 4,5 6		0,2 0,5 0,5		0,2 0,5 0,5		0,2 0,5 0,5		V V V	
5.27.2	$V_I = 0$ or V_{DD} $I_O = +4 \text{ mA}$ (standard outputs) $I_O = +5,2 \text{ mA}$ (bus driver outputs)	4,5 6		0,26 0,26		0,33 0,33		0,4 0,4		V V	
5.28	Off-state input leakage current $V_I = 0$ or V_{DD}	6	$ I_{IA} $		0,1		1		1	μA	A 3/4
5.29	Capacitance Input capacitance	4,5	C_{IA}		15		15		15	pF	C 12
5.30	Noise margin at low-level output ($V_{ILA} - V_{OLA}$) $I_O = +20 \mu A$	2 4,5 6	V_{NL}	0,1 0,3 0,6		0,1 0,3 0,6		0,1 0,3 0,6		V V V	A 3/4
5.31	Noise margin at high-level output ($V_{OHB} - V_{IHB}$) $I_O = +20 \mu A$	2 4,5 6	V_{NH}	0,1 0,4 0,7		0,1 0,4 0,7		0,1 0,4 0,7		V V V	A 3/4

For notes, see page 13.

5.32 Dynamic characteristics (Series HC, HCT, HCU)

Pulse generator and driving circuit.

5.32.1 The following conditions shall be met:

- Output impedance of pulse generator: $50 \Omega \pm 10 \%$.
- Impedance of driving circuit cable from the generator, including the test equipment: $50 \Omega \pm 10 \%$.

Low-level input voltage: $0 \text{ V} \pm 0,1 \text{ V}$.

High-level input voltage: $V_{DD} \pm 0,1 \text{ V}$ (Series HC, HCU); $3 \text{ V} \pm 0,1 \text{ V}$ (Series HCT).

Temps de transition à la montée du signal d'entrée: $t_r = 6 \text{ ns} \pm 1 \text{ ns}$ (mesuré entre 10 % et 90 % de l'amplitude du signal observé).

Temps de transition à la descente du signal d'entrée: $t_f = 6 \text{ ns} \pm 1 \text{ ns}$ (mesuré entre 90 % et 10 % de l'amplitude du signal observé).

La largeur d'impulsion : $t_w = 500 \text{ ns}$ (sauf indication contraire dans la spécification particulière).

Fréquence de répétition des impulsions: 1 MHz.

5.32.2 Temps de transition de sortie (HC et HCT)

Les temps de transition sont mesurés en sous-groupe A5.

Paramètres	Symbole	V _{DD} V	T _{amb}						Unité
			54 HC/74 HC voir note 1		74 HC voir note 2		54 HC voir note 3		
			Min.	Max.	Min.	Max.	Min.	Max.	
Temps de transition de sortie	t _{THL} et t _{THL}								
Sorties standard		2		75		95		110	ns
		4,5*		15		19		22	ns
		6		13		16		19	ns
		2		60		75		90	ns
Sorties de puissance		4,5*		12		15		18	ns
		6		10		13		15	ns

* 54/74 HCT

Pour les notes, voir page 12.

5.32.3 Temps de montée et de descente à l'entrée (HC, et HCT)

Paramètres	Symbole	V _{DD} V	T _{amb}						Unité
			54 HC/74 HC voir note 1		74 HC voir note 2		54 HC voir note 3		
			Min.	Max.	Min.	Max.	Min.	Max.	
Temps de montée et de descente à l'entrée	t _r , t _f								
Série HC		2	0	1 000	0	1 000	0	1 000	ns
		4,5	0	500	0	500	0	500	ns
		6	0	400	0	400	0	400	ns
Série HCT		4,5	0	500	0	500	0	600	ns

Pour les notes, voir page 12.

Rise transition time of the input signal: $t_r = 6 \text{ ns} \pm 1 \text{ ns}$ (measured from 10 % or 90 % of the step amplitude).

Fall transition time of the input signal: $t_f = 6 \text{ ns} \pm 1 \text{ ns}$ (measured from 90 % or 10 % of the step amplitude).

Pulse width: $t_w = 500 \text{ ns}$ (unless otherwise specified in the detail specification).

Pulse repetition frequency: 1 MHz.

5.32.2 Output transition time (HC and HCT)

Transition times are tested in sub-group A5.

Parameters	Symbol	V_{DD}	T_{amb}						Unit
			54 HC/74 HC see note 1		74 HC see note 2		54 HC see note 3		
			Min.	Max.	Min.	Max.	Min.	Max.	
Output transition time	t_{THL} and t_{TTL}	2		75		95		110	ns
Standard output types		4,5*		15		19		22	ns
		6		13		16		19	ns
		2		60		75		90	ns
Bus driver output types		4,5*		12		15		18	ns
		6		10		13		15	ns

* 54/74 HCT

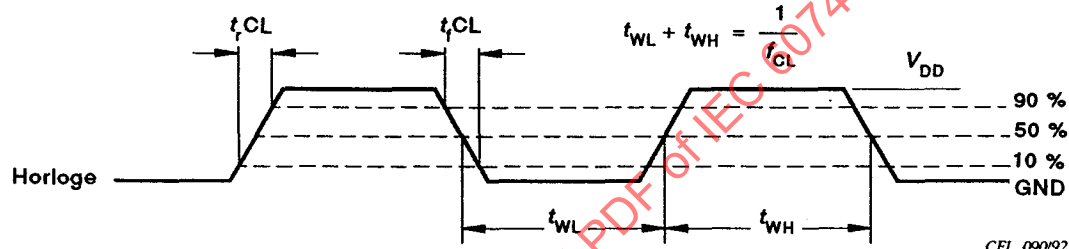
For notes, see page 13.

5.32.3 Input rise and fall times (HC and HCT)

Parameters	Symbol	V _{DD}	T _{amb}						Unit
			54 HC/74 HC see note 1		74 HC see note 2		54 HC see note 3		
			Min.	Max.	Min.	Max.	Min.	Max.	
Input rise and fall times	t _r , t _f								
HC series		2 4,5 6	0 0 0	1 000 500 400	0 0 0	1 000 500 400	0 0 0	1 000 500 400	ns ns ns
HCT series		4,5	0	500	0	500	0	600	ns

For notes, see page 13.

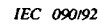
(1) *Formes d'onde des temps de commutation pour 54/74 HC et 54/74 HCU*



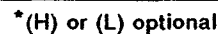
The diagram illustrates the timing characteristics of a CMOS inverter. It features three main signal traces: 'Entrée d'horloge' (Clock), 'Entrée de données' (Data), and 'Sortie' (Output). The clock signal is a periodic square wave with period t_{CL} . The data signal is a square wave that transitions at various points relative to the clock. The output signal is a square wave that follows the data signal with a delay. The voltage levels are marked as V_{DD} (100%), 90%, 50%, 10%, and GND (0%). Key timing parameters are indicated by arrows: $t_{su}(H)^*$ and $t_{su}(L)^*$ are setup times before a clock edge; $t_{th}(H)^*$ and $t_{th}(L)^*$ are hold times after a clock edge; t_{TLH} and t_{THL} are propagation delays from data input to output; t_{PLH} and t_{PHL} are propagation delays from clock input to output; and t_{rec} is the recovery time from 50% V_{DD} to GND. A note at the bottom right states: $^*(H) \text{ ou } (L) \text{ facultatif}$.

Temps de recouvrement: temps de recouvrement de l'horloge. C'est l'instant à partir duquel le signal actif de remise à zéro ou le signal de validation doit être interrompu avant les transitions d'entrée d'horloge.

(1) *Switching waveforms for 54/74 HC and 54/74 HCU*

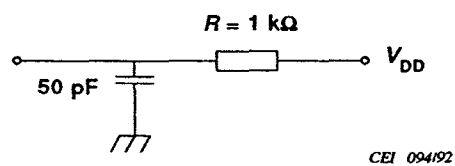


Clock-pulse rise and fall times and pulse width



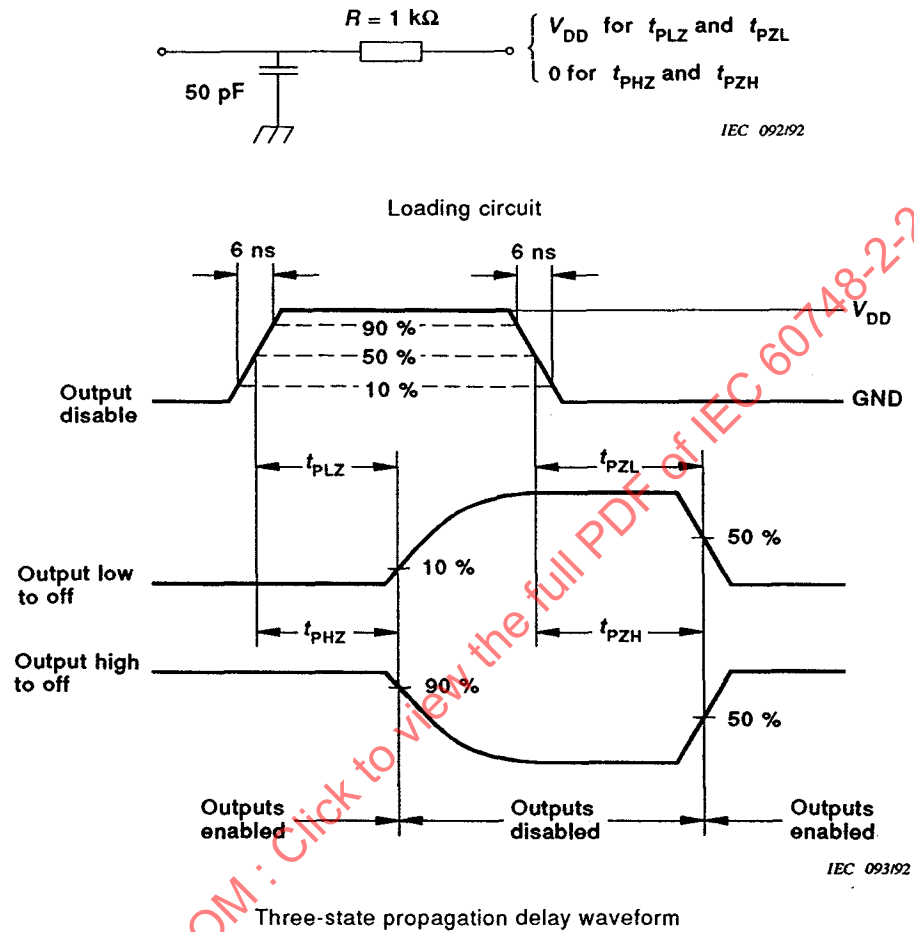
Recovery time: clock recovery time. This is the time that an active clear or enable signal shall be removed before the clock input transitions.

The diagram illustrates the timing characteristics of three-state outputs. It shows three signal waveforms: 'Sortie invalidée' (output being disabled), 'Etat bas vers l'état haute-impédance' (low-to-high impedance transition), and 'Etat haut vers l'état haute-impédance' (high-to-high impedance transition). The 'Sortie invalidée' signal has a 6 ns setup and hold time. The other two signals show propagation delays from the output becoming invalid to the output reaching 10% and 90% of its final state. The diagram also indicates the output is valid during the 'Sorties validées' period and invalid during the 'Sorties invalidées' period.



Circuit de charge

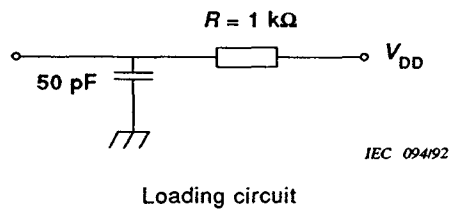
Three-state outputs (54/74 HC only)



Three-state propagation delay waveform

Open drain and channel waveforms

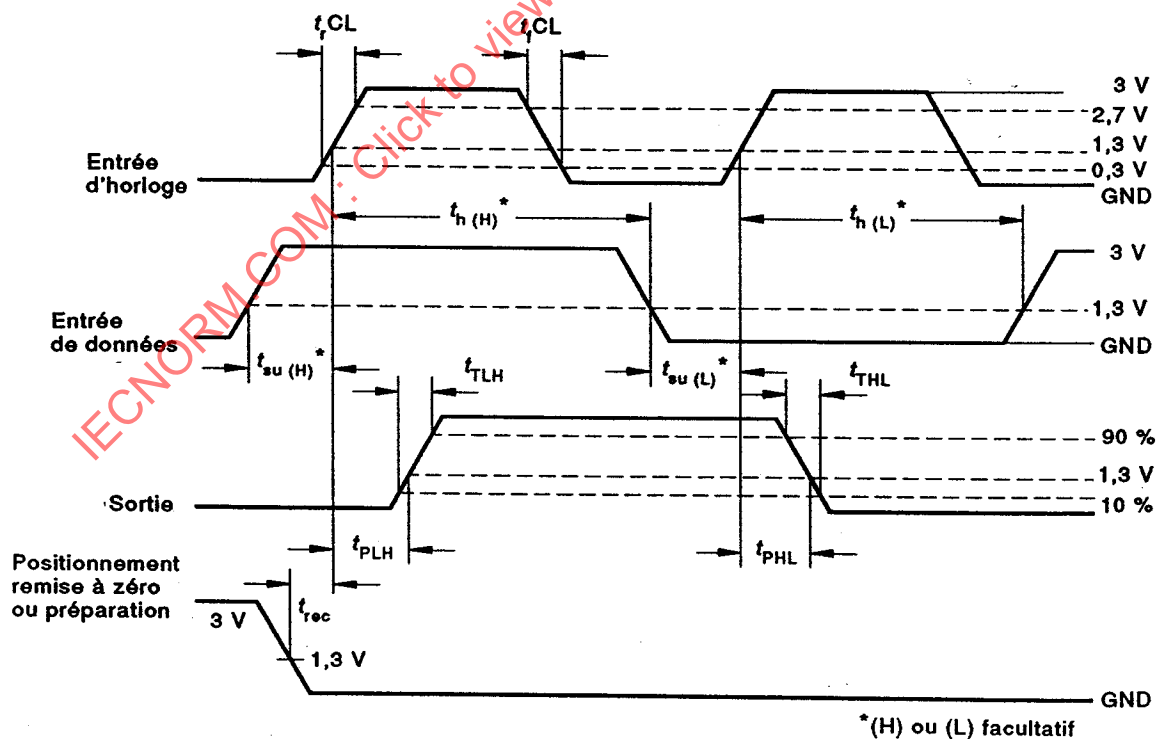
t_{PLZ} , t_{PZL} waveforms same as three-state



[illegible]

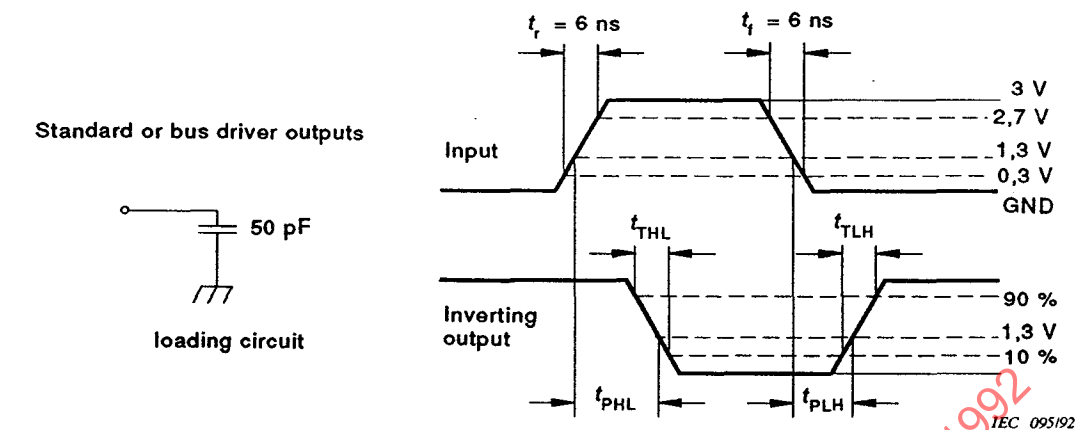
Timing diagram for the Horloge signal. The signal is a square wave with a period of 6 ns. The high level is 3 V and the low level is 0.3 V. The rise time is $t_{r,CL}$ and the fall time is $t_{f,CL}$. The total width of the high pulse is $t_{WL} + t_{WH} = 1/f_{CL}$. The signal is labeled 'Horloge'.

Temps de montée et de descente de l'impulsion d'horloge et largeur de cette impulsion

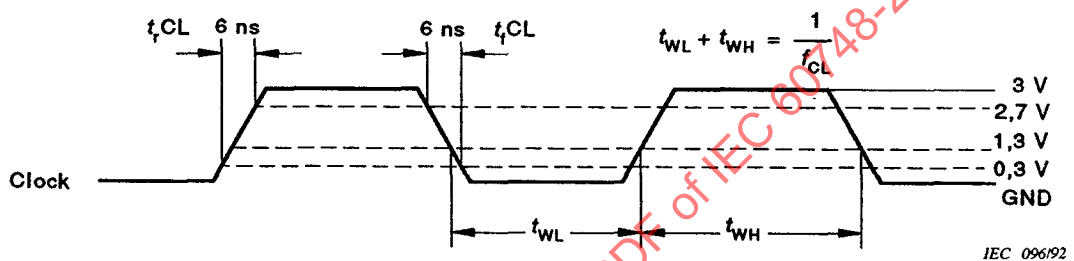


Temps de recouvrement: temps de recouvrement de l'horloge. C'est l'instant à partir duquel le signal actif de remise à zéro ou le signal de validation doit être interrompu avant les transitions d'entrée d'horloge.

(2) Switching waveforms for 54/74 HCT

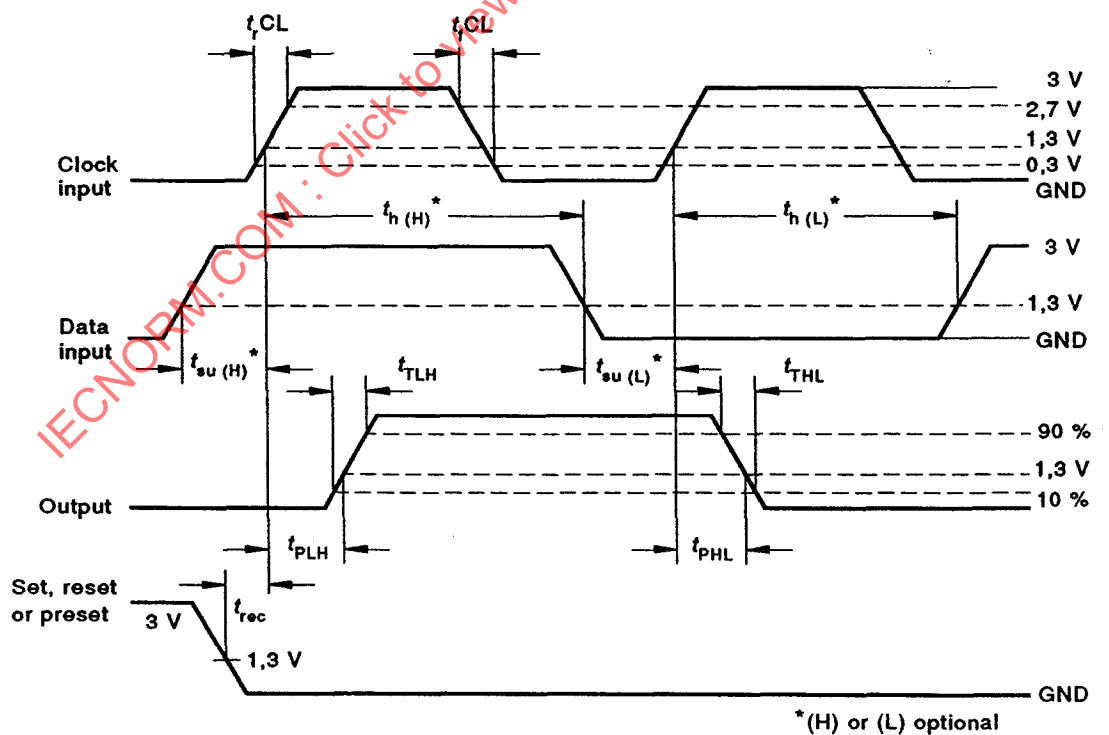


Transition times and propagation delay times



Outputs should be switching from 10 % V_{DD} to 90 % V_{DD} in accordance with device truth table. For t_{max} , input duty cycle = 50 %.

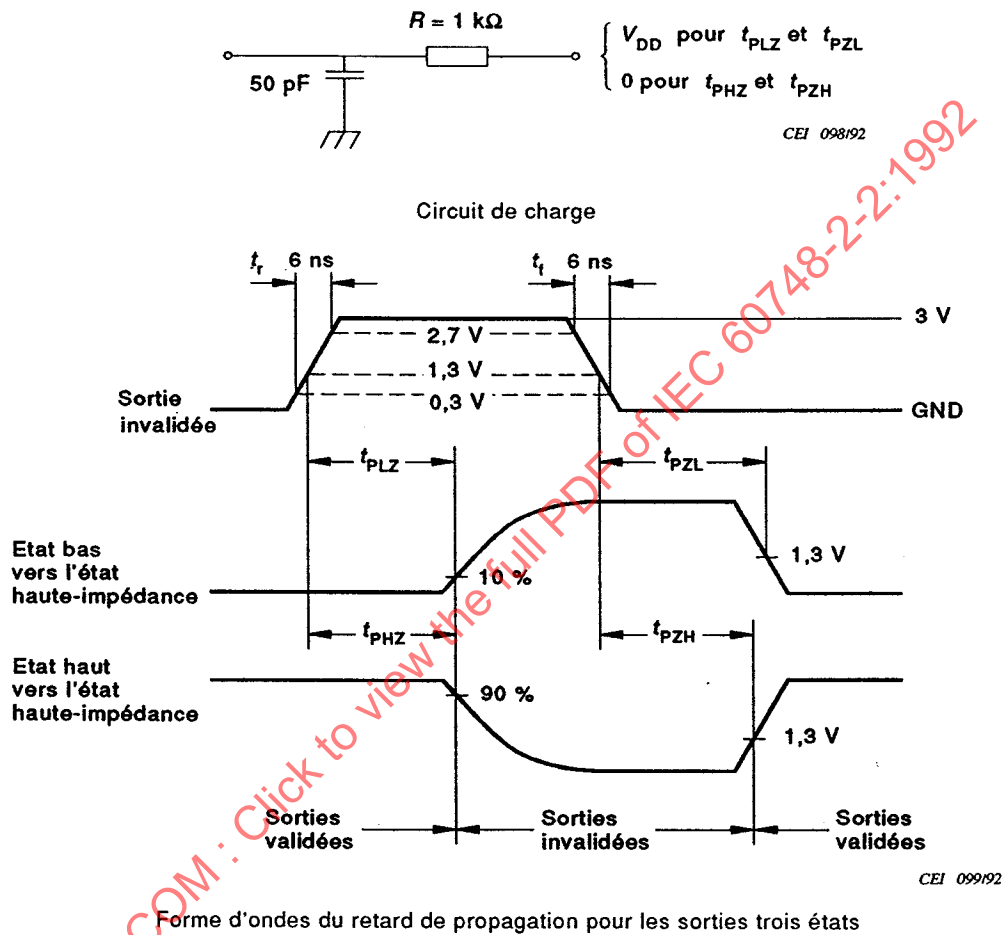
Clock-pulse rise and fall times and pulse width



Set-up times, hold times, recovery time and propagation delay times for edge triggered sequential logic circuits.

Recovery time: clock recovery time. This is the time that an active clear or enable signal shall be removed before the clock input transitions.

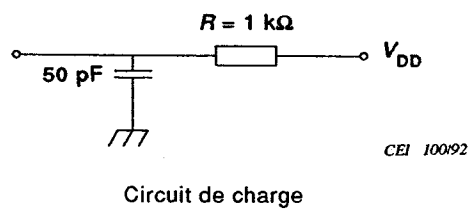
Sorties trois états (54/74 HCT)



Forme d'ondes du retard de propagation pour les sorties trois états

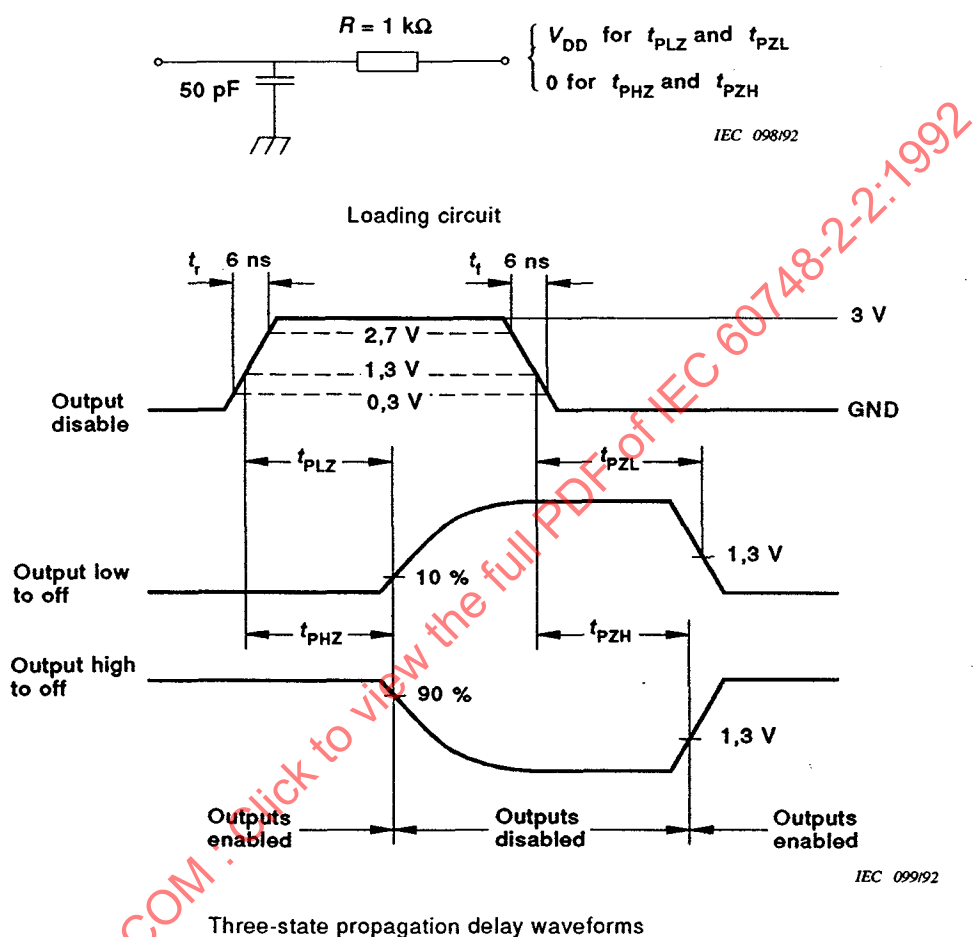
Formes d'ondes pour les signaux drain ouvert et canal

Formes d'onde de t_{PLZ} , t_{PZL} identiques à celles pour les sorties trois états.



Circuit de charge

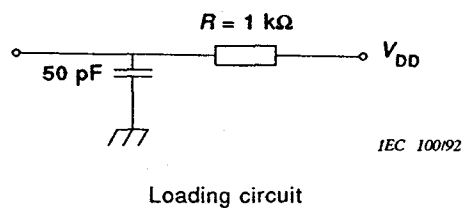
Three-state outputs (54/74 HCT)



Three-state propagation delay waveforms

Open drain and channel waveforms

t_{PLZ} , t_{PZL} waveforms same as three-state



6 Marquage

[Préciser ici tous les renseignements particuliers autres que ceux de l'article 1 (case [7]) et/ou du paragraphe 2.5 de la spécification générique.]

7 Renseignements à donner dans les commandes

[Sauf spécification contraire, les renseignements suivants constituent le minimum nécessaire pour passer commande d'un dispositif donné:

- référence précise du modèle (et valeur de la tension nominale, si nécessaire);
- référence IECQ de la spécification particulière avec numéro d'édition et/ou date selon le cas;
- catégorie d'assurance de la qualité définie au paragraphe 2.6 de la spécification générique (et dans l'article 9 de la spécification intermédiaire) et, si nécessaire, sélection définie dans l'article 8 de la spécification intermédiaire;
- toute autre particularité.]

8 Conditions d'essai et exigences de contrôle

[Elles figurent dans les tableaux suivants, où il convient de spécifier les valeurs et les conditions exactes d'essai à utiliser pour un modèle donné, conformément aux essais correspondants indiqués dans la publication applicable.]

[Le choix entre les méthodes d'essais ou les variantes doit être fait lors de la rédaction de la spécification particulière.]

[Lorsque plusieurs dispositifs sont couverts par la même spécification particulière, il convient d'indiquer les conditions et/ou les valeurs correspondantes sur des lignes successives, en évitant autant que possible de répéter les conditions ou valeurs identiques.]

Sauf indication contraire, les numéros de paragraphe donnés en référence dans ce qui suit renvoient à la spécification générique.

[*Pour les exigences de prélèvements*, se reporter ou reproduire les valeurs de l'article 9 de la spécification intermédiaire, selon la catégorie d'assurance de la qualité.]

[*Pour le groupe A*, le choix entre les systèmes NQA ou NQT est à faire dans la spécification particulière.]

[*Pour les groupes B et C*: les essais doivent être vérifiés selon la spécification intermédiaire.]

Tous les essais sont effectués à $T_{amb} = 25\text{ °C}$ [sauf indication contraire] (voir article 4 de la spécification générique).

Pour toutes les tensions, la référence est [V_{SS}].

6 Marking

[Any particular information other than that given in clause 1 (box [7]) and/or subclause 2.5 of the generic specification shall be given here.]

7 Ordering information

[The following minimum information is necessary to order a specific device, unless otherwise specified:

- precise type reference (and nominal voltage value, if required);
- IECQ reference of detail specification with issue number and/or date when relevant;
- category of assessment quality as defined in subclause 2.6 of generic specification (and clause 9 of the sectional specification) and if required, screening as defined in clause 8 of sectional specification;
- any other particulars.]

8 Test conditions and inspection requirements

[These are given in the following tables, where the values and exact test conditions to be used shall be specified as required for a given type and as required by the relevant test in the relevant publication.]

[The choice between alternative tests or test methods shall be made when a detail specification is written.]

[When several devices are included in the same detail specification, the relevant conditions and/or values should be given on successive lines, where possible avoiding repetition of identical conditions and/or values.]

Throughout the following text, reference to subclause numbers is made with respect to the generic specification unless otherwise stated.

[For sampling requirements, either refer to, or reproduce, values of clause 9 of the sectional specification, according to applicable category(ies) of assessed quality.]

[For group A, the choice between AQL or LTPD system shall be made in the detail specification.]

[For groups B and C: the tests shall be checked according to the sectional specification.]

All tests shall be performed at $T_{amb} = 25\text{ °C}$ [unless otherwise stated] (see clause 4 of the generic specification).

All voltages are referenced to $[V_{SS}]$.

TABLEAU I
GROUPE A – Contrôles lot par lot

Aucun essai n'est destructif (paragraphe 3.6.6 de la Publication 747-10 de la CEI).

Examen ou essai	Publication de la CEI	Conditions d'essai	Exigences de contrôle			
			Limites	Niveau d'assurance	NC	NQA
<i>Sous-groupe A1</i> Examen visuel externe, conformité du marquage	747-10, par. 4.2.1.1	Voir la spécification particulière pour les conditions d'essai et leurs limites et également la spécification intermédiaire correspondante pour les exigences de contrôle				
<i>Sous-groupe A2 et A2a</i> Vérification de la fonction	748-2-3 art. 3					
<i>Sous-groupe A3</i> Caractéristiques statiques à + 25 °C	748-2, ch. III, sect. un					
<i>Sous-groupe A4a</i> (voir note 7) Caractéristiques statiques à la température maximale de fonctionnement	748-2, ch. III, sect. un					
<i>Sous-groupe A4b</i> (voir note 7) Caractéristiques statiques à la température minimale de fonctionnement	748-2, ch. III, sect. un					
<i>Sous-groupe A5</i> Caractéristiques dynamiques à + 25 °C	748-2, ch. III, sect. un					

Note 7. – Les mesures par corrélation sont autorisées.

TABLE I

Group A – Lot by lot

All tests are non-destructive (subclause 3.6.6 of IEC Publication 747-10).

Inspection or test	IEC publication	Conditions of test	Inspection requirements			
			Limits	Assessment level	IL	AQL
<i>Sub-group A1</i> External visual examination, marking conformity	747-10, subcl. 4.2.1.1	See detail specification for the conditions of test and limits and also the relevant sectional specification for the inspection requirements				
<i>Sub-group A2 and A2a</i> Verification of the function	748-2-3 cl. 3					
<i>Sub-group A3</i> Static characteristics at + 25 °C	748-2, ch. III, sect. one					
<i>Sub-group A4a</i> (see note 7) Static characteristics at maximum operating temperature	748-2, ch. III, sect. one					
<i>Sub-group A4b</i> (see note 7) Static characteristics at minimum operating temperature	748-2, ch. III, sect. one					
<i>Sub-group A5</i> Dynamic characteristics at + 25 °C	748-2, ch. III, sect. one					

Note 7. – Correlation measurements are allowed.

TABLEAU II
GROUPE B – Contrôles lot par lot

(dans le cas de la catégorie I, voir la spécification générique, paragraphe 2.6)

Seuls les essais marqués (D) sont destructifs (paragraphe 3.6.6 de la Publication 747-10 de la CEI).

Examen ou essai	Publication de la CEI	Conditions à $T_{\text{amb}} = 25\text{ °C}$ sauf spécification contraire (voir article 4 de la spécification générique)	Limites des exigences de contrôle	
			Min.	Max.
<i>Sous-groupe B1</i> Dimensions	747-10, par. 4.2.2 et ann. B		[Voir article 1 de cette norme]	
<i>Sous-groupe B3</i> <i>Robustesse des sorties si applicable</i> – Pliage (D)	749, ch. II, par. 1.2	Force = [voir CEI 749, ch. II, par. 1.2]	Pas de détérioration	
<i>Sous-groupe B4</i> Soudabilité (D) (voir note 8)	749, ch. II, par. 2.1	[Voir CEI 749, ch. II, par. 2.1] Bain de soudure	Etamage correct	
<i>Sous-groupe B5</i> Variations rapides de température: a) <i>Boîtiers avec cavité</i> Variations rapides de température suivies de: Essais électriques – étanchéité, détection des microfuites et: Etanchéité, détection des fuites franches b) <i>Boîtiers sans cavité et avec cavité scellés par époxy</i> (D) Variations rapides de température suivies de: · Examen visuel externe · Essai continu de chaleur humide · Essais électriques	749, ch. III, par 1.1 748-11 749, ch. III, par 7.3 ou 7.4 68-2-17 essai QC 749, ch. III, par 1.1 747-10 par. 4.2.1.1 749, ch. III, par. 5B 748-2-3	10 cycles [Comme dans les sous-groupes A2 et A3] [A spécifier] [A spécifier] 10 cycles Sévérité 1 (85 °C, 85 % H.R.), 24 h [A choisir dans les sous-groupes A2 et A3]		
<i>Sous-groupe B8</i> Endurance électrique (168 h) <i>avec les mesures finales:</i> comme en A2, A3 et A5	748-11 par. 12.3	$T_{\text{amb}} = 125\text{ °C}$ Comme en A2, A3 et A5		Comme en A2, A3 et A5
Sous-groupe RCLA	Informations par attributs pour B3, B4, B5 et B8.			

Note 8. – Dans le cas de la catégorie I, le groupe B doit être effectué tous les ans, à l'exception du groupe B4 qui doit être effectué tous les trois mois.